

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: YOSHIDA, Masahiro Conf.:  
Appl. No.: New Group:  
Filed: November 4, 2003 Examiner:  
For: ACTIVE MATRIX SUBSTRATE AND DISPLAY

L E T T E R

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

November 4, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

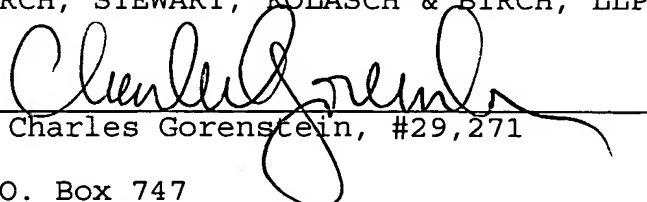
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-341560	November 25, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Charles Gorenstein, #29,271

CG/cqc  
1248-0677P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment(s)

BSLB703-205-8000

1248-0677P

Yoshida

Nov. 4, 2003

1081

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 1 月 2 5 日

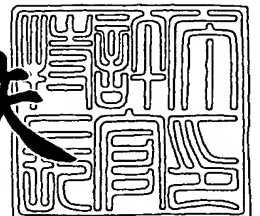
出 願 番 号  
Application Number: 特 願 2 0 0 2 - 3 4 1 5 6 0  
[ST. 10/C]: [ J P 2 0 0 2 - 3 4 1 5 6 0 ]

出 願 人  
Applicant(s): シャープ株式会社

2 0 0 3 年 8 月 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 2 2 1 8

【書類名】 特許願

【整理番号】 02J04127

【提出日】 平成14年11月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136 500  
H01L 29/786

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 吉田 昌弘

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

## 【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

## 【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板及び表示装置

【特許請求の範囲】

【請求項 1】

複数の第 1 のバスラインと、複数の第 2 のバスラインとが格子状に配置され、上記複数の第 1 のバスラインと上記複数の第 2 のバスラインとの各交差点近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第 1 のバスライン及び上記第 2 のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板において、

上記複数の第 1 のバスラインの少なくとも一つには、第 1 の容量が付加されており、

上記第 1 の容量の付加された上記第 1 のバスラインを除く第 1 のバスラインが、他のアクティブマトリクス基板の第 1 のバスラインと接続されることを特徴とするアクティブマトリクス基板。

【請求項 2】

上記第 1 の容量の付加された上記第 1 のバスラインは、他のアクティブマトリクス基板内に備えられた配線と接続されることを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

上記第 1 の容量が付加されていない第 1 のバスラインには、上記第 1 の容量よりも容量の小さい第 2 の容量が付加されていることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス基板。

【請求項 4】

上記第 1 のバスラインは、ソースドライバに接続されており、上記第 2 のバスラインは、ゲートドライバに接続されていることを特徴とする請求項 1 ないし 3 の何れか 1 項に記載のアクティブマトリクス基板。

【請求項 5】

上記第 1 のバスラインは、ゲートドライバに接続されており、上記第 2 のバスラインは、ソースドライバに接続されていることを特徴とする請求項 1 ないし 3

の何れか 1 項に記載のアクティブマトリクス基板。

**【請求項 6】**

請求項 1 ないし 5 の何れか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする表示装置。

**【請求項 7】**

複数の第 1 のバスラインと、複数の第 2 のバスラインとが格子状に配置され、上記複数の第 1 のバスラインと上記複数の第 2 のバスラインとの各交差部近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第 1 のバスライン及び上記第 2 のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板を有する表示パネルを複数個備えた表示装置において、

上記複数の第 1 のバスラインの少なくとも 1 つには、第 1 の容量が付加されており、

上記第 1 の容量が付加された上記第 1 のバスラインを除く上記第 1 のバスラインは、複数個の上記表示パネル内の各アクティブマトリクス基板によって共有されていることを特徴とする表示装置。

**【請求項 8】**

複数個の上記表示パネルによって共有されている上記第 1 のバスラインには、上記第 1 の容量よりも容量の小さい第 2 の容量が付加されていることを特徴とする請求項 7 に記載の表示装置。

**【請求項 9】**

複数の第 1 のバスラインと、複数の第 2 のバスラインとが格子状に配置され、上記複数の第 1 のバスラインと上記複数の第 2 のバスラインとの各交差部近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第 1 のバスライン及び上記第 2 のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板を有する表示パネルを複数個備えた表示装置において、

上記複数の第 1 のバスラインは、上記複数個の表示パネルによって共有され、上記表示パネルの少なくとも一つでは、上記複数の第 1 のバスラインの少なく

とも一つが上記アクティブマトリクス基板内の上記画素電極と接続されておらず

、  
上記画素電極と接続されていない上記第 1 のバスラインには、第 1 の容量が付加されていることを特徴とする表示装置。

【請求項 10】

上記第 1 の容量が付加されていない上記第 1 のバスラインには、上記第 1 の容量よりも容量の小さい第 2 の容量が付加されていることを特徴とする請求項 9 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶、有機 EL、無機 EL などのような表示媒体を用いたアクティブマトリクス基板、及びアクティブマトリクス基板を備えた表示装置に関するものである。より詳細には、本発明は、複数の表示パネルを備えた表示装置に利用されるアクティブマトリクス基板、及び複数の表示パネルを備えた表示装置に関するものである。

【0002】

【従来の技術】

近年、携帯電話などのような表示装置の中には、例えば 2 枚の表示パネルを備えたツインパネル式のものが普及し始めている。図 25 には、その一例を示す。図 25 に示すように、ツインパネル式の表示装置 181 は、メインパネル 182 とサブパネル 183 とからなる。

【0003】

メインパネル 182 は、基板上に薄膜トランジスタ (TFT:Thin Film Transistor) 192 が設けられた TFT 基板 184 と、この TFT 基板 184 に対向する対向基板 185 と、TFT 基板 184 と対向基板 185 との間に挟まれる表示媒体としての液晶層 (LC) 194 とを含んでいる。

【0004】

TFT 基板 184 上には、複数のゲートバスライン 188 と複数のソースバス

ライン 189 とが設けられている。このゲートバスライン 188 とソースバスライン 189 との交差部の近傍に、TFT 192 が配置されている。この TFT 192 は、ゲートがゲートバスライン 188 に接続され、ソースがソースバスライン 189 に接続されるとともに、ドレインが画素電極に接続されている。そして、この画素電極と、対向基板 185 に設けられた対向電極 (COM) 193 との間で、画素としての LC 194 に電圧を印加する。これを各 TFT 192 において行うことによって、画像を表示する。

#### 【0005】

また、メインパネル 182 には、さらにゲートドライバ 190 とソースドライバ 191 とが備えられている。ゲートドライバ 190 からの引き出し線がゲートバスライン 188 に接続され、ソースドライバ 191 からの引き出し線がソースバスライン 189 に接続されている。そして、ゲートドライバ 190、ソースドライバ 191 から、それぞれのバスラインに、ゲート信号電圧、ソース信号電圧が印加される。

#### 【0006】

一方、サブパネル 183 は、基板上に薄膜トランジスタ 192 が設けられた TFT 基板 186 と、この TFT 基板 186 に対向する対向基板 187 と、TFT 基板 186 と対向基板 187 との間に挟まれる表示媒体としての液晶層 (LC) 194 とを含んでいる。

#### 【0007】

このサブパネル 183 は、図示しない FPC (Flexible Printed Circuits) などを通じてメインパネル 182 と接続されている。これによって、メインパネル 182 のゲートドライバ 190 およびソースドライバ 191 から、メインパネル 182 内の配線と FPC (Flexible Printed Circuits) などを通じて、サブパネル 183 の各バスラインに、ゲート信号電圧またはソース信号電圧が印加される。

#### 【0008】

TFT 基板 186 上には、複数のゲートバスライン 188 と複数のソースバスライン 189 とが設けられている。このゲートバスライン 188 とソースバスラ



イン 189 との交差部の近傍に、TFT 192 が配置されている。この TFT 192 は、ゲートがゲートバスライン 188 に接続され、ソースがソースバスライン 189 に接続されるとともに、ドレインが画素電極に接続されている。そして、この画素電極と、対向基板 187 に設けられた対向電極 (COM) 193 との間で、画素としての LC 194 に電圧を印加する。これを各 TFT 192 において行うことによって、画像を表示する。

#### 【0009】

これによって、メインパネル 182 またはサブパネル 183 において、画像を表示することができる。なお、メインパネル 182 とサブパネル 183 とで共有するバスラインは、図 25 に示すソースバスライン 189 に限るものではなく、ゲートバスラインであってもよい。

#### 【0010】

従来のアクティブマトリックス方式液晶表示体に関して、例えば特許文献 1 には、結合容量を介して駆動信号が供給される場合に、それぞれの結合容量の値をほぼ同じとした構成が開示されている。これによって、表示ムラのない表示を行うことができる。

#### 【0011】

##### 【特許文献 1】

特開平 7-168208 号公報 (公開日: 1995 年 7 月 4 日)

#### 【0012】

##### 【発明が解決しようとする課題】

しかしながら、上述のツインパネル式の表示装置 181 の構成においては、メインパネル 182 における表示を行う場合に、一部のソースバスラインにおいてソース信号の遅延が起こることによって、ブロック分かれなどの表示不良が発生してしまうという問題がある。

#### 【0013】

つまり、図 25 に示すように、ツインパネル 181 は、メインパネル 182 とサブパネル 183 とで、それぞれソースバスライン 189 の本数が異なっている。この場合に、メインパネル 182 のソースバスライン 189 は、サブパネル 1

83と共有される第1の配線群195と、サブパネル183と共有されない第2の配線群196とに分けられる。

#### 【0014】

上記第1の配線群195においては、メインパネル182を駆動させるとき、サブパネル183の容量も負荷となるので、例えば、メインパネル182の容量が20 pF、サブパネルの容量が10 pFならば、ソースバスラインの容量は30 pFとなる。一方、第2の配線群196においては、サブパネル183の容量は負荷とならないので、20 pFのソースバスライン容量となる。

#### 【0015】

このような容量の差によって、メインパネル182の表示を行う場合には、ソース信号の遅延の差が、第1の配線群195と第2の配線群196との境界で顕著になってしまい、ブロック分かれなどの表示不良が発生してしまう。

#### 【0016】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、バスラインを共有する複数の表示パネルを有する表示装置に用いられるアクティブマトリクス基板であって、各表示パネルにおいてブロック分かれなどの表示不良を生じさせないアクティブマトリクス基板および表示装置を提供することにある。

#### 【0017】

##### 【課題を解決するための手段】

上記の課題を解決するために、本発明のアクティブマトリクス基板は、複数の第1のバスラインと、複数の第2のバスラインとが格子状に配置され、上記複数の第1のバスラインと上記複数の第2のバスラインとの各交差点近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第1のバスライン及び上記第2のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板において、上記複数の第1のバスラインの少なくとも一つには、第1の容量が付加されており、上記第1の容量の付加された上記第1のバスラインを除く第1のバスラインが、他のアクティブマトリクス基板の第1のバスラインと接続されることを特徴としている。

#### 【0018】

上記アクティブマトリクス基板は、例えば表示装置などに備えられ、対向電極を備えた対向基板と画素電極の設けられた面とを向かい合わせて配置し、このアクティブマトリクス基板と対向基板との間に表示媒体を挟み込んだ表示パネルとして用いられる。そして、例えば第1のバスラインを駆動するソースドライバ、第2のバスラインを駆動するゲートドライバが、それぞれ第1のバスラインあるいは第2のバスラインに接続されている。そして、ゲートドライバ、ソースドライバからそれぞれのバスラインにゲート信号電圧、ソース信号電圧が印加される。これによって、画素電極から表示媒体に所望の電圧が印加されて表示がなされる。

#### 【0019】

このアクティブマトリクス基板には、少なくとも1つの第1のバスラインに、第1の容量が付加されている。そして、上記第1の容量が付加されている第1のバスラインを除く第1のバスラインが、他のアクティブマトリクス基板の第1のバスラインと接続されている。

#### 【0020】

即ち、上記アクティブマトリクス基板は、他のアクティブマトリクス基板と接続して、第1のバスラインを共有することができる。このように、上記アクティブマトリクス基板と他のアクティブマトリクスとで、第1のバスラインを共有すれば、上記アクティブマトリクス基板と他のアクティブマトリクスとを用いる表示装置において、表示エリア周辺の額縁と呼ばれる部分の幅を縮小できる。また、第1のバスラインを駆動するドライバの数及び出力端子の数を削減して、低コストでコンパクトな表示モジュールを有する表示装置を実現できる。

#### 【0021】

さらに、上記アクティブマトリクス基板は、他のアクティブマトリクス基板と共有していない第1のバスラインに、第1の容量が付加されている。これによって、このアクティブマトリクス基板を用いて表示を行う場合に、第1のバスラインごとの容量の違いを小さく、あるいは、生じさせなくすることができる。そのため、第1のバスラインに入力される信号の遅延の差によるブロック分かれなどの表示不良を発生させることなく、上記アクティブマトリクス基板、他のアクテ

イブマトリクス基板の両方において表示を良好に行うことができる。

**【 0 0 2 2 】**

上記のアクティブマトリクス基板において、上記第 1 の容量の付加された上記第 1 のバスラインは、他のアクティブマトリクス基板内に備えられた配線と接続されている。また、上記第 1 の容量の付加された上記第 1 のバスラインは、他のアクティブマトリクス基板内に備えられた配線と接続されていない。

**【 0 0 2 3 】**

上記の構成によれば、画素電極が接続された第 1 のバスライン本数の少ない他のアクティブマトリクス基板側に第 1 のバスラインを駆動するドライバを備えることができる。

**【 0 0 2 4 】**

上記のアクティブマトリクス基板において、上記第 1 の容量が付加されていない第 1 のバスラインには、上記第 1 の容量よりも容量の小さい第 2 の容量が付加されている。

**【 0 0 2 5 】**

即ち、上記のアクティブマトリクス基板においては、他のアクティブマトリクス基板と第 1 のバスラインを共有している第 1 のバスラインには、容量の小さな第 2 の容量が付加され、他のアクティブマトリクス基板と第 1 のバスラインを共有していない第 1 のバスラインには、容量の大きな第 1 の容量が付加されている。これによって、個々の第 1 のバスラインにおいて、適宜容量の調節を行うことができるため、より確実にバスライン毎の容量差を小さくすることができる。そして、より良好な画像表示を行うことができる。

**【 0 0 2 6 】**

上記のアクティブマトリクス基板において、上記第 1 のバスラインは、ソースドライバに接続されており、上記第 2 のバスラインは、ゲートドライバに接続されている。

**【 0 0 2 7 】**

上記の構成によれば、第 1 のバスラインに入力されるソース信号の遅延の差を縮めることができるため、ブロック分かれなどの表示不良を発生させずに、良好な表示を行うことができる。

**【0028】**

上記のアクティブマトリクス基板において、上記第1のバスラインは、ゲートドライバに接続されており、上記第2のバスラインは、ソースドライバに接続されているようによい。

**【0029】**

上記の構成によれば、第1のバスラインに入力されるゲート信号の遅延の差を縮めることができるため、ブロック分かれなどの表示不良を発生させずに、良好な表示を行うことができる。

**【0030】**

なお、上述のアクティブマトリクス基板を備えた表示装置も本発明に含まれる。このような表示装置は、第1のバスラインに入力されるソース信号あるいはゲート信号の遅延の差を縮めることができるため、ブロック分かれなどの表示不良を発生させずに良好な表示を行うことのできる表示装置を提供することができる。

**【0031】**

また、本発明の表示装置は、複数の第1のバスラインと、複数の第2のバスラインとが格子状に配置され、上記複数の第1のバスラインと上記複数の第2のバスラインとの各交差点近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第1のバスライン及び上記第2のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板を有する表示パネルを複数個備えた表示装置において、上記複数の第1のバスラインの少なくとも1つには、第1の容量が付加されており、上記第1の容量が付加された上記第1のバスラインを除く上記第1のバスラインは、複数個の上記表示パネル内の各アクティブマトリクス基板によって共有されていることを特徴とするものである。

**【0032】**

上記表示装置は、液晶、有機EL、無機ELなどのような表示媒体を用いて画像表示を行うことのできるアクティブマトリクス基板の有する表示パネルを複数個備えたものである。この表示装置は、例えばツインパネル式の携帯電話などと

して実現される。

#### 【0033】

上記表示装置の表示パネルに備えられたアクティブマトリクス基板は、複数の第1のバスラインと、複数の第2のバスラインとが格子状に配置されている。そして、例えば第1のバスラインを駆動するソースドライバ、第2のバスラインを駆動するゲートドライバが、それぞれ第1のバスラインあるいは第2のバスラインに接続されている。そして、ゲートドライバ、ソースドライバからそれぞれのバスラインにゲート信号電圧、ソース信号電圧が印加される。これによって、画素電極から表示媒体に所望の電圧が印加されて表示がなされる。なお、上記表示装置においては、第1のバスラインを駆動するドライバがゲートドライバであり、第2のバスラインを駆動するドライバがソースドライバであってもよい。

#### 【0034】

上記の表示装置においては、上記複数の第1のバスラインの少なくとも1つに、第1の容量が付加されており、上記第1の容量が付加されている第1のバスラインを除く第1のバスラインは、複数の表示パネル内の各アクティブマトリクス基板によって共有されている。

#### 【0035】

即ち、上記表示装置は、複数の表示パネルにそれぞれ供えられているアクティブマトリクス基板間で、第1のバスラインを共有しているため、表示エリア周辺の額縁と呼ばれる部分の幅を縮小できる。また、第1のバスラインを駆動するドライバの数及び出力端子の数を削減して、低コストでコンパクトな表示モジュールを有する表示装置を実現できる。

#### 【0036】

さらに、上記表示装置において、複数の表示パネルによって共有されていない第1のバスライン、即ち、一つの表示パネルのアクティブマトリクス基板上のみに配置されている第1のバスラインには、第1の容量が付加されている。これによって、大きさの異なる複数の表示パネルを有する表示装置において画像表示を行う場合に、第1のバスラインごとの容量の違いを小さく、あるいは、生じさせなくすることができる。そのため、第1のバスラインに入力される信号の遅延の

差によるブロック分かれなどの表示不良を発生させることなく、複数の表示パネルの全てにおいて表示を良好に行うことができる。

#### 【0 0 3 7】

上記の表示装置において、複数個の上記表示パネルによって共有されている上記第 1 のバスラインには、上記第 1 の容量よりも容量の小さい第 2 の容量が付加されていてもよい。

#### 【0 0 3 8】

上記表示装置に備えられたアクティブマトリクス基板においては、複数個の表示パネルに共有されていない第 1 のバスラインには、容量が比較的大きい第 1 の容量が付加されており、上記以外の第 1 のバスラインには、容量が比較的小さい第 2 の容量が付加されている。

#### 【0 0 3 9】

上記の構成によれば、個々の第 1 のバスラインにおいて、適宜容量の調節を行うことができるため、より確実にバスライン毎の容量差を小さくすることができる。そして、より良好な画像表示を行うことができる。

#### 【0 0 4 0】

また、本発明の表示装置は、複数の第 1 のバスラインと、複数の第 2 のバスラインとが格子状に配置され、上記複数の第 1 のバスラインと上記複数の第 2 のバスラインとの各交差部近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第 1 のバスライン及び上記第 2 のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板を有する表示パネルを複数個備えた表示装置において、上記複数の第 1 のバスラインは、上記複数個の表示パネルによって共有され、上記表示パネルの少なくとも一つでは、上記複数の第 1 のバスラインの少なくとも一つが上記アクティブマトリクス基板内の上記画素電極と接続されておらず、上記画素電極と接続されていない上記第 1 のバスラインには、第 1 の容量が付加されていることを特徴とするものである。

#### 【0 0 4 1】

上記表示装置は、液晶、有機 EL、無機 EL などのような表示媒体を用いて画

像表示を行うことのできるアクティブマトリクス基板の有する表示パネルを複数個備えたものである。この表示装置は、例えばツインパネル式の携帯電話などとして実現される。

#### 【 0 0 4 2 】

上記表示装置の表示パネルに備えられたアクティブマトリクス基板は、複数の第 1 のバスラインと、複数の第 2 のバスラインとが格子状に配置されている。そして、例えば第 1 のバスラインを駆動するソースドライバ、第 2 のバスラインを駆動するゲートドライバが、それぞれ第 1 のバスラインあるいは第 2 のバスラインに接続されている。そして、ゲートドライバ、ソースドライバからそれぞれのバスラインにゲート信号電圧、ソース信号電圧が印加される。これによって、画素電極から表示媒体に所望の電圧が印加されて表示がなされる。なお、上記表示装置においては、第 1 のバスラインを駆動するドライバがゲートドライバであり、第 2 のバスラインを駆動するドライバがソースドライバであってもよい。

#### 【 0 0 4 3 】

上記の表示装置においては、上記第 1 のバスラインが複数個の表示パネルによって共有されている。この構成によれば、複数個の表示パネルにそれぞれ供えられているアクティブマトリクス基板間で、第 1 のバスラインを共有しているため、表示エリア周辺の額縁と呼ばれる部分の幅を縮小できる。また、第 1 のバスラインを駆動するドライバの数及び出力端子の数を削減して、低コストでコンパクトな表示モジュールを有する表示装置を実現できる。

#### 【 0 0 4 4 】

さらに、上記表示装置は、複数の表示パネルの少なくとも一つにおいて画素電極と接続されない第 1 のバスラインには、第 1 の容量が付加されている。即ち、例えば大きさの異なる複数の表示パネルを備える表示パネルにおいて、より小さな表示パネルに関しては第 1 のバスラインが画素電極と接続されていないような場合にも、その第 1 のバスラインには、容量が付加されているため、第 1 のバスライン間の容量差を小さく、あるいは無くすることができる。これによって、第 1 のバスラインに入力される信号の遅延の差によるブロック分かれなどの表示不良を発生させることなく、複数の表示パネルの全てにおいて表示を良好に行うこと



ができる。

#### 【0045】

上記の表示装置において、上記第1の容量が付加されていない上記第1のバスラインには、上記第1の容量よりも容量の小さい第2の容量が付加されていてもよい。

#### 【0046】

上記表示装置に備えられたアクティブマトリクス基板においては、複数個の表示パネルのうちの少なくとも一つで画素電極と接続されていない第1のバスラインには、容量が比較的大きい第1の容量が付加されており、上記以外の第1のバスラインには、容量が比較的小さい第2の容量が付加されている。

#### 【0047】

上記の構成によれば、個々の第1のバスラインにおいて、適宜容量の調節を行うことができるため、より確実にバスライン毎の容量差を小さくすることができる。そして、より良好な画像表示を行うことができる。

#### 【0048】

##### 【発明の実施の形態】

以下に本発明の実施の種々の形態について説明するが、本発明はこの記載に限定されるものではない。

#### 【0049】

本発明の実施の各形態では、本発明のアクティブマトリクス基板の一例として、折り畳み式携帯電話の表面パネル（メインパネル）または裏面パネル（サブパネル）に用いられるアクティブ型[TFT（Thin Film Transistor）、TFD（Thin Film Diode）等]のスイッチング素子で構成されているアクティブマトリクス基板について説明する。また、本実施の形態では、本発明の表示装置の一例として、上記アクティブマトリクス基板を備えた表面パネル（メインパネル）及び、上記アクティブマトリクス基板と、ソースバスラインを介して接続されているもう一つのアクティブマトリクス基板を備えた裏面パネル（サブパネル）とを有する折り畳み式携帯電話などの表示装置を例に挙げて説明する。

#### 【0050】

## 〔実施の形態 1〕

まず、本発明の実施の形態 1 について以下に説明する。

本実施の形態 1 に係る表示装置 1 の構成を示す回路図を図 1 に示す。図 1 に示すように、表示装置 1 はメインパネル 2（表示パネル）とサブパネル 3（表示パネル）とから構成される。メインパネル 2 は、基板上に薄膜トランジスタ（TFT）が設けられた TFT 基板 7（アクティブマトリクス基板）と、この TFT 基板 7 に対向する対向基板 7' と、TFT 基板 7 と対向基板 7' との間に挟まれる表示媒体としての液晶層（LC）とを含んで形成されている。

## 【0051】

また、TFT 基板 7 上には、複数のソースバスライン 4・5（第 1 のバスライン）と複数のゲートバスライン 9（第 2 のバスライン）とが格子状に配されている。このソースバスライン 4・5 とゲートバスライン 9 との交差部の近傍に、TFT（スイッチング素子）が配置されている。この TFT は、ゲートがゲートバスライン 9 に接続され、ソースがソースバスライン 4・5 に接続されるとともに、ドレインが図示しない画素電極に接続されている。そして、この画素電極と対向基板 7' に設けられた対向電極（COM）との間で、画素としての液晶層（LC）に電圧を印加する。これを、各 TFT において行うことによって画像を表示することができる。

## 【0052】

さらに、メインパネル 2 には、ソースドライバ 201 とゲートドライバ 202 とが備えられている。ソースドライバ 201 からの複数の引き出し線が各ソースバスライン 4・5 に接続され、ゲートドライバ 202 からの複数の引き出し線が各ゲートバスライン 9 に接続されている。そして、ソースドライバ 201、ゲートドライバ 202 から、それぞれのバスラインにゲート信号電圧、ソース信号電圧が印加される。

## 【0053】

一方、サブパネル 3 は基板上に薄膜トランジスタが設けられた TFT 基板 8（アクティブマトリクス基板）と、この TFT 基板 8 に対向する対向基板 8' と、TFT 基板 8 と対向基板 8' との間に挟まれる表示媒体としての液晶層（LC）

とを含んで形成されている。

#### 【0 0 5 4】

このサブパネル 3 は、図示しない F P C (Flexible Printed Circuits) などを通じてメインパネルと接続されている。これによって、メインパネル 2 のソースドライバ 2 0 1 及びゲートドライバ 2 0 2 から、メインパネル 2 内の配線と上記 F P C などを通じてサブパネル 3 の各バスラインにソース信号電圧またはゲート信号電圧が印加される。

#### 【0 0 5 5】

サブパネル 3 の T F T 基板 8 上には、メインパネル 2 と同様に複数のソースバスライン 5 と複数のゲートバスライン 9 とが格子状に配されている。このソースバスライン 5 とゲートバスライン 9 との交差部の近傍には、T F T が配置されている。この T F T は、ゲートがゲートバスライン 9 に接続され、ソースがソースバスライン 5 に接続されるとともに、ドレインが図示しない画素電極に接続されている。そして、この画素電極と対向基板 8' に設けられた対向電極 (C O M) との間で、画素としての液晶層 (L C) に電圧を印加する。これを各 T F T において行うことによって、画像を表示することができる。

#### 【0 0 5 6】

以上のようにして、メインパネル 2 またはサブパネル 3 において、画像を表示することができる。ところで、メインパネル 2 とサブパネル 3 とでは、ソースバスラインの数が異なっている。即ち、ソースバスライン 5 は、メインパネル 2 とサブパネル 3 とで共有されているが、ソースバスライン 4 はメインパネル 2 のみに配されている。そのため、ソースバスライン 5 においては、メインパネル 2 を駆動させるとき、サブパネル 3 の容量も負荷となる。一方、ソースバスライン 4 においては、メインパネル 2 を駆動させるとき、メインパネル 2 のみの容量が付加される。

#### 【0 0 5 7】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、メインパネル 2 の T F T 基板 7 上のみに配されている各ソースバスライン 4 には、容量 6 a、6 b (第 1 の容量) が付加されている。本実施の形態の表示装置

1において、この容量の付加は、図1に示すように、ソースバスライン4と対向信号線9'とを絶縁膜などを挟んで交差させることで形成している。容量6a、6bの大きさは、ソースバスライン4とソースバスライン5との容量の差を小さくするか、あるいは容量の差を無くするような大きさとするのが好ましい。これによって、ソースバスライン4の信号遅延とソースバスライン5の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。なお、容量6a、6bの大きさは互いに同一であっても、表示に影響しない程度の差があってもよい。

#### 【0058】

続いて、容量の付加方法について説明する。付加容量の形成には大きく分けて2つの方法がある。一つ目の方法は、既存配線の交差部の面積を大きくするという方法であり、もう一つの方法は、新たな配線（付加容量用配線）を設けるという方法である。上記一つ目の方法として、より具体的には、バスラインの配線を太くしたり、バスラインに交差する配線を太くしたりするという方法が挙げられる。

#### 【0059】

ここで、容量の付加方法の一例を、図2及び図24を用いてより具体的に説明する。なお、この付加方法は、上述の2つの方法を併用するものである。

#### 【0060】

図2は、本実施の形態に係る表示装置1におけるメインパネル2の付加容量用配線9'の配置状態を示す模式図である。図2に示すように、メインパネル2においては、Cs信号線と対向信号線とが共通の配線（Cs・対向信号線9'）として形成されている。

#### 【0061】

ここで、Csとは、画素容量だけでは保持動作が不安定であり、かつ他の寄生容量の影響を受けやすいため、表示品位の向上のために別途設けられた補助容量のことである。そして、Cs信号線とは、Cs on ComのときCsバスライン203に信号を入れる配線であり、対向信号線はコモン転移部204を介して対向電極に信号を入れる配線である。このCs・対向信号線9'は、メインパネル2の

外部より各信号を送信する配線である。

#### 【0062】

また、上記Cs on Comとは、CsをCs専用配線(Csバスライン)上に形成する形態であり、Csバスラインとドレイン電極とを絶縁膜などを介して交差させることで容量を形成する。上記Cs専用配線は、対向信号線などと接続されている場合もある。これに対し、Cs on Gateとは、Csをゲートバスライン上に形成する形態であり、ゲートバスラインとドレイン電極とを絶縁膜などを介して交差させることで容量を形成する。なお、Cs on Gateの場合には、Cs信号線は存在しない。

#### 【0063】

また、メインパネル2には、上述のようにソースドライバ201が設けられ、このソースドライバ201からメインパネル2内の表示領域(図2中において点線で囲んだ部分)にソースバスライン4・5が配設されている。このソースバスラインのうち、FPCなどを介してサブパネル3へ接続されているものがソースバスライン5であり、サブパネルへの接続がされていないものがソースバスライン4である。そして、上記メインパネル2においては、容量6a・6bを付加するための付加容量用配線9'は対向信号線9'に接続されており、ソースバスライン4のみと交差している。

#### 【0064】

次に、上記メインパネル2における容量6a・6bのより詳細な構造について、図24を用いて説明する。図24(a)は、メインパネル2のゲート非入力側(即ち、FPCなどを介してサブパネル3と接続される側)部分の構造をより具体的に示す模式図である。また、図24(b)は、(a)においてBで示す部分を拡大した図であり、図24(c)は、(a)においてCで示す部分を拡大した図である。

#### 【0065】

図24(b)、(c)において、図24(b)中のソースバスライン5はサブパネル3と接続されており、ソースバスライン4はサブパネル3と接続されていない。サブパネル3を接続した状態では、ソースバスライン5の容量はソースバ

スライン 4 の容量より大きくなるため、ソースバスライン 4 に容量を付加している。図 24 (c) 中、D で示す部分がゲート配線材料からなる  $C_s$  ・対向信号線 9' である。

#### 【0066】

このような構造を有するメインパネル 2 においては、容量  $6a \cdot 6b$  は、図 24 (c) 中の F で示すように、既存の  $C_s$  ・対向信号線 9' とソースバスライン 4 との交差部においてソースバスライン 4 を太らせることで付加されている。それとともに、容量  $6a \cdot 6b$  は、図 24 (c) 中の G で示すように、 $C_s$  ・対向信号線 9' から枝分かれさせた新たな付加容量用配線 (図 24 (c) 中、H で示す部分) を、ソースバスライン 4 と交差させることで形成されている。図 24 (c) 中、E で示す部分は  $C_s$  ・対向信号線 9' (図 24 (c) 中、D で示す部分) と付加容量用配線 H との接続部分である。

#### 【0067】

このメインパネル 2 においては、 $C_s$  ・対向信号線 9' をゲート配線材料で配線しているのに対し、 $C_s$  ・対向信号線 9' から枝分かれしている付加容量用配線 9' をソース配線材料に切り替えている。これによって、付加容量の大きさの調整を行う場合、ゲート配線のパターンを変更することなく対処することができる。また、ソースバスライン 4 側をソース配線材料で配線し、付加容量用配線 9' を  $C_s$  ・対向信号線 9' と同じゲート配線材料のまま配線するという方法で容量付加を行うことも可能である。

#### 【0068】

ところで、図 1 及び図 2 においては、便宜上ソースバスライン 4・5 及びゲートバスラインの数を省略して示しているが、実際の表示装置においては、図 24 に示すように多数のソースバスライン及びゲートバスラインが備えられている。

#### 【0069】

なお、付加容量配線を設ける方法としては、図 2 に示すような  $C_s$  ・対向信号線 9' に接続した付加容量用配線を設ける方法以外に以下のような方法が挙げられる。

#### 【0070】

1 番目の方法は、図 3 に示すように、C s 信号線 1 0 に接続した付加容量用配線 A を設ける方法である。2 番目の方法は、図 4 に示すように、対向信号線 9 ' に接続した付加容量用配線 A を設ける方法である。3 番目の方法は、図 5 に示すように、C s ・対向信号線 9 ' の一部を切断し、付加容量用配線 A とする方法である。4 番目の方法は、図 6 に示すように、C s 信号線 1 0 の一部を切断し、付加容量用配線 A とする方法である。5 番目の方法は、図 7 に示すように、対向信号線 9 ' の一部を切断し、付加容量用配線 A とする方法である。6 番目の方法は、図 8 に示すように、付加容量用配線専用の信号線 A を別に設けるという方法である。また図示しない他の方法として、例えばダミー画素（表示領域以外の画素）の信号線や検査配線等のような C s 信号線及び対向信号線以外の信号線と付加容量を形成させることも可能である。

#### 【 0 0 7 1 】

上述の 3 番目の方法は、C s 信号線と対向信号線とが共通の場合に採用される方法であり、上述の 1、2、4、5 番目の方法は、C s 信号線と対向信号線とが独立している場合に採用される方法である。上述の 6 番目の方法は C s 信号線と対向信号線とが共通の場合でも独立している場合にも採用される方法である。また、静電気対策や信号遅延対策のために、C s 信号線及び対向信号線は表示領域を取り囲むように配置されていることが好ましいが、上述の 3、4、5 番目の方法のように一部切断されていてもよい。

#### 【 0 0 7 2 】

以上に述べた各方法を用いて容量の付加を行えば、各ソースバスラインの容量の差を小さく、あるいは無くすることができるため、メインパネル及びサブパネルの両方において、良好な表示を行うことができる。

#### 【 0 0 7 3 】

##### 〔実施の形態 2〕

続いて、本発明の実施の形態 2 について説明する。本実施の形態 2 に係る表示装置 1 1 の構成を示す回路図を図 9 に示す。

#### 【 0 0 7 4 】

図 9 に示すように、実施の形態 2 に係る表示装置 1 1 はツインパネル式のもの

であり、メインパネル 12（表示パネル）とサブパネル 13（表示パネル）とから構成される。メインパネル 12 及びサブパネル 13 においては、ソースバスライン 14・15（第 1 のバスライン）とゲートバスライン 20（第 2 のバスライン）とが格子状に配置されている。メインパネル 12 の複数のソースバスライン 15（第 1 のバスライン）は、サブパネル 13 のソースバスライン 15 と図示しない FPC などを通して接続されている。また、もう一種のソースバスライン 14（第 1 のバスライン）は、メインパネル 12 のみに配されている。各ソースバスライン 14 には、対向信号線 20' との交差部近傍にそれぞれ容量 16 a、16 b（第 1 の容量）が付加され、各ソースバスライン 15 には、対向信号線 20' との交差部近傍にそれぞれ容量 17 a、17 b、17 c（第 2 の容量）が付加されている。なお、実施の形態 2 に係る表示装置 11 は、上記容量の付加方法以外の点に関しては、実施の形態 1 の表示装置 1 と同様の構成である。

#### 【0075】

表示装置 11 においては、表示装置 1 の場合と同様に、メインパネル 12 のみに配されているソースバスライン 14 と、メインパネル 12 とサブパネル 13 とで共有されているソースバスライン 15 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、ソースバスライン 15 の容量 17 a、17 b、17 c よりも、ソースバスライン 14 の容量 16 a、16 b の方が大きな容量となっている。より具体的には、容量 16 a、16 b と容量 17 a、17 b、17 c との大きさは、ソースバスライン 14 とソースバスライン 15 との容量差を小さく、あるいは無くすような大きさに設定されることが好ましい。これによって、ソースバスライン 14 の信号遅延とソースバスライン 15 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0076】

なお、容量 16 a、16 b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量 17 a、17 b、17 c の大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ソースバスライン 14・15 と対向信号線 19' とを絶



縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0077】

##### 〔実施の形態 3〕

続いて、本発明の実施の形態 3 について説明する。本実施の形態 3 に係る表示装置 21 の構成を示す回路図を図 10 に示す。

#### 【0078】

図 10 に示すように、実施の形態 3 に係る表示装置 21 はツインパネル式のものであり、メインパネル 22（表示パネル）とサブパネル 23（表示パネル）とから構成される。メインパネル 22 及びサブパネル 23 においては、ゲートバスライン 24・25（第 1 のバスライン）とソースバスライン 29（第 2 のバスライン）とが格子状に配置されている。メインパネル 22 の複数のゲートバスライン 25（第 1 のバスライン）は、サブパネル 23 のゲートバスライン 25 と図示しない FPC などを介して接続されている。また、もう一種のゲートバスライン 24（第 1 のバスライン）は、メインパネル 22 のみに配されている。各ゲートバスライン 24 には、対向信号線 29' との交差部近傍にそれぞれ容量 26a、26b（第 1 の容量）が付加されている。なお、実施の形態 3 に係る表示装置 21 は、ゲートドライバ 221 とソースドライバ 222 との配置が実施の形態 1 の表示装置 1 と逆になっており、それに伴って、ゲートバスラインと 24・25 及びソースバスライン 29 も表示装置 1 とは逆に配置されている。

#### 【0079】

表示装置 21 においては、メインパネル 22 のみに配されているゲートバスライン 24 と、メインパネル 22 及びサブパネル 23 で共有されているゲートバスライン 25 とでは、容量が異なる。つまり、ゲートバスライン 25 においては、メインパネル 22 を駆動させるとき、サブパネル 23 の容量も負荷となる。一方、ゲートバスライン 24 においては、メインパネル 22 を駆動させるとき、メインパネル 22 のみの容量が付加される。

#### 【0080】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くするために、メインパネル 22 の TFT 基板 27 上のみに配されている各ゲートバスライン 24 に、容量 26a、26b が付加されている。これによって、ゲートバスライン 24 の信号遅延とゲートバスライン 25 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0081】

なお、容量 26a、26b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ゲートバスライン 24・25 と対向信号線 29' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0082】

##### 〔実施の形態 4〕

続いて、本発明の実施の形態 4 について説明する。本実施の形態 4 に係る表示装置 31 の構成を示す回路図を図 11 に示す。

#### 【0083】

図 11 に示すように、実施の形態 4 に係る表示装置 31 はツインパネル式のものであり、メインパネル 32（表示パネル）とサブパネル 33（表示パネル）とから構成される。メインパネル 32 及びサブパネル 33 においては、ゲートバスライン 34・35（第 1 のバスライン）とソースバスライン 40（第 2 のバスライン）とが格子状に配置されている。メインパネル 32 の複数のゲートバスライン 35（第 1 のバスライン）は、サブパネル 33 のゲートバスライン 35 と図示しない FPC などを通じて接続されている。また、もう一種のゲートバスライン 34（第 1 のバスライン）は、メインパネル 32 のみに配されている。各ゲートバスライン 34 には、対向信号線 40' との交差部近傍にそれぞれ容量 36a、36b（第 1 の容量）が付加され、各ゲートバスライン 35 には、対向信号線 40' との交差部近傍にそれぞれ容量 37a、37b、37c（第 2 の容量）が付加されている。なお、実施の形態 3 に係る表示装置 31 は、上記容量の付加方法

以外の点に関しては、実施の形態 3 の表示装置 2 1 と同様の構成である。

#### 【0 0 8 4】

表示装置 3 1 においては、上述の実施の形態と同様に、メインパネル 3 2 のみに配されているゲートバスライン 3 4 と、メインパネル 3 2 及びサブパネル 3 3 で共有されているゲートバスライン 3 5 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、ゲートバスライン 3 5 の容量 3 7 a、3 7 b、3 7 c よりも、ゲートバスライン 3 4 の容量 3 6 a、3 6 b の方が大きな容量となっている。より具体的には、容量 3 6 a、3 6 b と容量 3 7 a、3 7 b、3 7 c との大きさは、ゲートバスライン 3 4 とゲートバスライン 3 5 との容量差を小さく、あるいは無くすような大きさに設定されることが好ましい。これによって、ゲートバスライン 3 4 の信号遅延とゲートバスライン 3 5 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0 0 8 5】

なお、容量 3 6 a、3 6 b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量 3 7 a、3 7 b、3 7 c の大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ゲートバスライン 3 4・3 5 と対向信号線 4 0' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0 0 8 6】

##### 〔実施の形態 5〕

続いて、本発明の実施の形態 5 について説明する。本実施の形態 5 に係る表示装置 4 1 の構成を示す回路図を図 1 2 に示す。

#### 【0 0 8 7】

図 1 2 に示すように、実施の形態 5 に係る表示装置 4 1 はメインパネル 4 2 (表示パネル) と 2 つのサブパネル 4 3・4 4 (表示パネル) とから構成される。メインパネル 4 2 及びサブパネル 4 3・4 4 においては、ソースバスライン 4 5

・ 46 (第1のバスライン) とゲートバスライン50 (第2のバスライン) とが格子状に配置されている。メインパネル42の複数のソースバスライン46 (第1のバスライン) は、サブパネル43・44のソースバスライン46と図示しないFPCなどを介して接続されている。また、もう一種のソースバスライン45 (第1のバスライン) は、メインパネル42のみに配されている。各ソースバスライン45には、対向信号線50' との交差部近傍にそれぞれ容量47a、47b (第1の容量) が付加されている。なお、実施の形態5に係る表示装置41は、サブパネルの数が2個であるという点を除いて、実施の形態1の表示装置1と同様の構成である。

#### 【0088】

表示装置41においては、上述の実施の形態の場合と同様に、メインパネル42のみに配されているソースバスライン45と、メインパネル42及びサブパネル43・44で共有されているソースバスライン46とでは、容量が異なる。つまり、ソースバスライン46においては、メインパネル42を駆動させるとき、サブパネル43・44の容量も負荷となる。一方、ソースバスライン45においては、メインパネル42を駆動させるとき、メインパネル42のみの容量が付加される。

#### 【0089】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、メインパネル42のTFT基板48上のみに配されている各ソースバスライン45に、容量47a、47bが付加されている。これによって、ソースバスライン45の信号遅延とソースバスライン46の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0090】

なお、容量47a、47bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ソースバスライン45と対向信号線50' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

## 【 0 0 9 1 】

## 〔実施の形態 6〕

続いて、本発明の実施の形態 6 について説明する。本実施の形態 6 に係る表示装置 5 1 の構成を示す回路図を図 1 3 に示す。

## 【 0 0 9 2 】

図 1 3 に示すように、実施の形態 6 に係る表示装置 5 1 はメインパネル 5 2 （表示パネル）と 2 つのサブパネル 5 3 ・ 5 4 （表示パネル）とから構成される。メインパネル 5 2 及びサブパネル 5 3 ・ 5 4 においては、ソースバスライン 5 5 ・ 5 6 （第 1 のバスライン）とゲートバスライン 2 5 3 （第 2 のバスライン）とが格子状に配置されている。メインパネル 5 2 の複数のソースバスライン 5 6 （第 1 のバスライン）は、サブパネル 5 3 ・ 5 4 のソースバスライン 5 6 と図示しない F P C などを通じて接続されている。また、もう一種のソースバスライン 5 5 （第 1 のバスライン）は、メインパネル 5 2 のみに配されている。各ソースバスライン 5 5 には、対向信号線 2 5 3 ' との交差部近傍にそれぞれ容量 5 7 a 、 5 7 b （第 1 の容量）が付加され、各ソースバスライン 5 6 には、対向信号線 2 5 3 ' との交差部近傍にそれぞれ容量 5 8 a 、 5 8 b 、 5 8 c （第 2 の容量）が付加されている。なお、実施の形態 6 に係る表示装置 5 1 は、上記容量の付加方法以外の点に関しては、実施の形態 5 の表示装置 4 1 と同様の構成である。

## 【 0 0 9 3 】

表示装置 5 1 においては、上述の実施の形態の場合と同様に、メインパネル 5 2 のみに配されているソースバスライン 5 5 と、メインパネル 5 2 及びサブパネル 5 3 ・ 5 4 で共有されているソースバスライン 5 6 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くするために、ソースバスライン 5 6 の容量 5 8 a 、 5 8 b 、 5 8 c よりも、ソースバスライン 5 5 の容量 5 7 a 、 5 7 b の方が大きな容量となっている。より具体的には、容量 5 7 a 、 5 7 b と容量 5 8 a 、 5 8 b 、 5 8 c との大きさは、ソースバスライン 5 5 とソースバスライン 5 6 との容量差を小さく、あるいは無くするような大きさに設定されることが好ましい。これによって、ソースバスライン 5 5 の信号遅延とソースバスライン 5 6 の信号遅延との差が発生することなく、信号遅

延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0094】

なお、容量 5 7 a、5 7 b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量 5 8 a、5 8 b、5 8 c の大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ソースバスライン 5 5・5 6 と対向信号線 2 5 3' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0095】

##### 〔実施の形態 7〕

続いて、本発明の実施の形態 7 について説明する。本実施の形態 7 に係る表示装置 6 1 の構成を示す回路図を図 1 4 に示す。

#### 【0096】

図 1 4 に示すように、実施の形態 7 に係る表示装置 6 1 はメインパネル 6 2 (表示パネル) と 2 つのサブパネル 6 3・6 4 (表示パネル) とから構成される。メインパネル 6 2 及びサブパネル 6 3・6 4 においては、ゲートバスライン 6 5・6 6 (第 1 のバスライン) とソースバスライン 7 0 (第 2 のバスライン) とが格子状に配置されている。メインパネル 6 2 の複数のゲートバスライン 6 6 (第 1 のバスライン) は、サブパネル 6 3・6 4 のゲートバスライン 6 6 と図示しない F P C などを介して接続されている。また、もう一種のゲートバスライン 6 5 (第 1 のバスライン) は、メインパネル 6 2 のみに配されている。各ゲートバスライン 6 5 には、対向信号線 7 0' との交差部近傍にそれぞれ容量 6 7 a、6 7 b (第 1 の容量) が付加されている。なお、実施の形態 7 に係る表示装置 6 1 は、ゲートドライバ 2 6 1 とソースドライバ 2 6 2 との配置が実施の形態 5 の表示装置 4 1 と逆になっており、それに伴って、ゲートバスラインと 6 5・6 6 及びソースバスライン 7 0 も表示装置 4 1 とは逆に配置されている。

#### 【0097】

表示装置 6 1 においては、上述の実施の形態の場合と同様に、メインパネル 6

2のみに配されているゲートバスライン65と、メインパネル42及びサブパネル43・44で共有されているゲートバスライン66とでは、容量が異なる。つまり、ゲートバスライン66においては、メインパネル62を駆動させるとき、サブパネル63・64の容量も負荷となる。一方、ゲートバスライン65においては、メインパネル62を駆動させるとき、メインパネル62のみの容量が付加される。

#### 【0098】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、メインパネル62のTFT基板68上のみに配されている各ゲートバスライン65に、容量67a、67bが付加されている。これによって、ゲートバスライン65の信号遅延とゲートバスライン66の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0099】

なお、容量67a、67bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ゲートバスライン65と対向信号線70'とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

#### 【0100】

##### 〔実施の形態8〕

続いて、本発明の実施の形態8について説明する。本実施の形態8に係る表示装置71の構成を示す回路図を図15に示す。

#### 【0101】

図15に示すように、実施の形態8に係る表示装置71はメインパネル72（表示パネル）と2つのサブパネル73・74（表示パネル）とから構成される。メインパネル72及びサブパネル73・74においては、ゲートバスライン75・76（第1のバスライン）とソースバスライン273（第2のバスライン）とが格子状に配置されている。メインパネル72の複数のゲートバスライン76（第1のバスライン）は、サブパネル73・74のゲートバスライン76と図示し

ないFPCなどを介して接続されている。また、もう一種のゲートバスライン75（第1のバスライン）は、メインパネル72のみに配されている。各ゲートバスライン75には、対向信号線273'との交差部近傍にそれぞれ容量77a、77b（第1の容量）が付加され、各ゲートバスライン76には、対向信号線273'との交差部近傍にそれぞれ容量78a、78b、78c（第2の容量）が付加されている。なお、実施の形態8に係る表示装置71は、上記容量の付加方法以外の点に関しては、実施の形態7の表示装置61と同様の構成である。

#### 【0102】

表示装置71においては、上述の実施の形態の場合と同様に、メインパネル72のみに配されているゲートバスライン75と、メインパネル72及びサブパネル73・74で共有されているゲートバスライン76とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くするために、ゲートバスライン76の容量78a、78b、78cよりも、ゲートバスライン75の容量77a、77bの方が大きな容量となっている。より具体的には、容量77a、77bと容量78a、78b、78cとの大きさは、ゲートバスライン75とゲートバスライン76との容量差を小さく、あるいは無くするような大きさに設定されることが好ましい。これによって、ゲートバスライン75の信号遅延とゲートバスライン76の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0103】

なお、容量77a、77bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量78a、78b、78cの大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ゲートバスライン75・76と対向信号線273'とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

#### 【0104】

〔実施の形態9〕



続いて、本発明の実施の形態 9 について以下に説明する。

本実施の形態 9 に係る表示装置 8 1 の構成を示す回路図を図 1 6 に示す。図 1 6 に示すように、表示装置 8 1 はメインパネル 8 2 (表示パネル) とサブパネル 8 3 (表示パネル) とから構成される。メインパネル 8 2 は、基板上に薄膜トランジスタ (T F T) が設けられた T F T 基板 8 7 (アクティブマトリクス基板) と、この T F T 基板 8 7 に対向する対向基板 8 7' と、T F T 基板 8 7 と対向基板 8 7' との間に挟まれる表示媒体としての液晶層 (L C) とを含んで形成されている。

#### 【0 1 0 5】

また、T F T 基板 8 7 上には、複数のソースバスライン 8 4 ・ 8 5 (第 1 のバスライン) と複数のゲートバスライン 8 9 (第 2 のバスライン) とが格子状に配されている。このソースバスライン 8 4 ・ 8 5 とゲートバスライン 8 9 との交差部の近傍に、T F T (スイッチング素子) が配置されている。この T F T は、ゲートがゲートバスライン 8 9 に接続され、ソースがソースバスライン 8 4 ・ 8 5 に接続されるとともに、ドレインが図示しない画素電極に接続されている。そして、この画素電極と対向基板 8 7' に設けられた対向電極 (C O M) との間で、画素としての液晶層 (L C) に電圧を印加する。これを、各 T F T において行うことによって画像を表示することができる。

#### 【0 1 0 6】

このメインパネル 8 2 は、図示しない F P C などを通してサブパネル 8 3 と接続されている。これによって、サブパネル 8 3 のソースドライバ 2 8 1 及びゲートドライバ 2 8 2 から、サブパネル 8 3 内の配線と上記 F P C などを通してメインパネル 8 2 の各バスラインにソース信号電圧またはゲート信号電圧が印加されるような構成となっている。

#### 【0 1 0 7】

一方、サブパネル 8 3 は基板上に薄膜トランジスタが設けられた T F T 基板 8 8 (アクティブマトリクス基板) と、この T F T 基板 8 8 に対向する対向基板 8 8' と、T F T 基板 8 8 と対向基板 8 8' との間に挟まれる表示媒体としての液晶層 (L C) とを含んで形成されている。

## 【0108】

サブパネル 83 の T F T 基板 88 上には、メインパネル 82 と同様に複数のソースバスライン 85 と複数のゲートバスライン 89 とが格子状に配されている。このソースバスライン 85 とゲートバスライン 89 との交差部の近傍には、T F T が配置されている。この T F T は、ゲートがゲートバスライン 89 に接続され、ソースがソースバスライン 85 に接続されるとともに、ドレインが図示しない画素電極に接続されている。そして、この画素電極と対向基板 88' に設けられた対向電極 (C O M) との間で、画素としての液晶層 (L C) に電圧を印加する。これを各 T F T において行うことによって、画像を表示することができる。

## 【0109】

さらに、サブパネル 83 には、ソースドライバ 281 とゲートドライバ 282 とが備えられている。ソースドライバ 281 からの複数の引き出し線が各ソースバスライン 84・85 に接続され、ゲートドライバ 282 からの複数の引き出し線が各ゲートバスライン 89 に接続されている。そして、ソースドライバ 281、ゲートドライバ 282 から、それぞれのバスラインにゲート信号電圧、ソース信号電圧が印加される。

## 【0110】

以上のように、本実施の形態 9 の表示装置 81 においては、サブパネル 83 側にソースドライバ 281 及びゲートドライバ 282 が設けられている。そして、ソースバスライン 85 は、メインパネル 82 とサブパネル 83 との両方で画素電極と接続されているが、ソースバスライン 84 に関しては、メインパネル 82 のみにおいて画素電極と接続されている。即ち、各ソースバスライン 84 は、メインパネル 82 の T F T 基板 87 上のみで画素電極と接続され、サブパネル 83 の T F T 基板 88 上では、ソースドライバ 281 の引き出し線とメインパネル 82 のソースバスライン 84 とを接続する配線として機能している。そのため、ソースバスライン 85 においては、メインパネル 82 を駆動させるとき、サブパネル 83 の容量も負荷となる。一方、ソースバスライン 84 においては、メインパネル 82 を駆動させるとき、メインパネル 82 のみの容量が付加される。

## 【0111】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、各ソースバスライン 84 には、容量 86 a、86 b（第 1 の容量）が付加されている。容量 86 a、86 b の大きさは、ソースバスライン 84 とソースバスライン 85 との容量の差を小さくするか、あるいは容量の差を無くすような大きさとするのが好ましい。これによって、ソースバスライン 84 の信号遅延とソースバスライン 85 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0112】

なお、容量 86 a、86 b の大きさは互いに同一であっても、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ソースバスライン 84 と対向信号線 89' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0113】

##### 〔実施の形態 10〕

続いて、本発明の実施の形態 10 について説明する。本実施の形態 10 に係る表示装置 91 の構成を示す回路図を図 17 に示す。

#### 【0114】

図 17 に示すように、実施の形態 10 に係る表示装置 91 はツインパネル式のものであり、メインパネル 92（表示パネル）とサブパネル 93（表示パネル）とから構成される。メインパネル 92 及びサブパネル 93 においては、ソースバスライン 94・95（第 1 のバスライン）とゲートバスライン 100（第 2 のバスライン）とが格子状に配置されている。なお、本実施の形態に係る表示装置 91 は、上述の実施の形態 9 にて説明した表示装置と同様に、サブパネル 93 側にソースドライバ 291 及びゲートドライバ 292 が設けられており、メインパネル 92 は、図示しない FPC などを介してサブパネル 93 と接続されている。

#### 【0115】

そして、ソースバスライン 95 は、メインパネル 92 とサブパネル 93 との両方で画素電極と接続されているが、ソースバスライン 94 に関しては、メインパ

ネル 92 のみにおいて画素電極と接続されている。即ち、各ソースバスライン 94 は、メインパネル 92 の T F T 基板 98 上のみで画素電極と接続され、サブパネル 93 の T F T 基板 99 上では、ソースドライバ 291 の引き出し線とメインパネル 92 のソースバスライン 94 とを接続する配線として機能している。

#### 【0116】

各ソースバスライン 94 には、対向信号線 100' との交差部近傍にそれぞれ容量 96 a、96 b（第 1 の容量）が付加され、各ソースバスライン 95 には、対向信号線 100' との交差部近傍にそれぞれ容量 97 a、97 b、97 c（第 2 の容量）が付加されている。

#### 【0117】

表示装置 91 においては、表示装置 81 の場合と同様に、メインパネル 92 のみで画素電極と接続されているソースバスライン 94 と、メインパネル 92 及びサブパネル 93 の両方で画素電極と接続されているソースバスライン 95 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、ソースバスライン 95 の容量 97 a、97 b、97 c よりも、ソースバスライン 94 の容量 96 a、96 bの方が大きな容量となっている。より具体的には、容量 96 a、96 b と容量 97 a、97 b、97 c との大きさは、ソースバスライン 94 とソースバスライン 95 との容量差を小さく、あるいは無くすような大きさに設定されることが好ましい。これによって、ソースバスライン 94 の信号遅延とソースバスライン 95 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0118】

なお、容量 96 a、96 b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量 97 a、97 b、97 c の大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ソースバスライン 94・95 と対向信号線 100' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることがなく、実施の形態 1 にお

いて説明した各方法を採用してもよい。

### 【0119】

#### 〔実施の形態11〕

続いて、本発明の実施の形態11について説明する。本実施の形態11に係る表示装置101の構成を示す回路図を図18に示す。

### 【0120】

図18に示すように、実施の形態11に係る表示装置101はツインパネル式のものであり、メインパネル102（表示パネル）とサブパネル103（表示パネル）とから構成される。メインパネル102及びサブパネル103においては、ゲートバスライン104・105（第1のバスライン）とソースバスライン109（第2のバスライン）とが格子状に配置されている。なお、本実施の形態に係る表示装置101は、上述の実施の形態9にて説明した表示装置と同様に、サブパネル103側にゲートドライバ301及びソースドライバ302が設けられており、メインパネル102は、図示しないFPCなどを介してサブパネル103と接続されている。

### 【0121】

そして、ゲートバスライン105は、メインパネル102とサブパネル103との両方で画素電極と接続されているが、ゲートバスライン104に関しては、メインパネル102のみにおいて画素電極と接続されている。即ち、各ゲートバスライン104は、メインパネル102のTFT基板107上のみで画素電極と接続され、サブパネル103のTFT基板108上では、ゲートドライバ301の引き出し線とメインパネル102のゲートバスライン104とを接続する配線として機能している。

### 【0122】

各ゲートバスライン104には、対向信号線109'との交差部近傍にそれぞれ容量106a、106b（第1の容量）が付加されている。なお、実施の形態11に係る表示装置101は、ゲートドライバ301とソースドライバ302との配置が実施の形態9の表示装置81と逆になっており、それに伴って、ゲートバスライン104・105及びソースバスライン109も表示装置101とは逆

に配置されている。

#### 【0123】

表示装置101においては、メインパネル102のみで画素電極と接続されているゲートバスライン104と、メインパネル102及びサブパネル103の両方で画素電極と接続されているゲートバスライン105とでは、容量が異なる。つまり、ゲートバスライン105においては、メインパネル102を駆動させるとき、サブパネル103の容量も負荷となる。一方、ゲートバスライン104においては、メインパネル102を駆動させるとき、メインパネル102のみの容量が付加される。

#### 【0124】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くするために、メインパネル102のTFT基板107上のみに配されている各ゲートバスライン104に、容量106a、106bが付加されている。これによって、ゲートバスライン104の信号遅延とゲートバスライン105の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0125】

なお、容量106a、106bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ゲートバスライン104・105と対向信号線109'とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

#### 【0126】

##### 〔実施の形態12〕

続いて、本発明の実施の形態12について説明する。本実施の形態12に係る表示装置111の構成を示す回路図を図19に示す。

#### 【0127】

図19に示すように、実施の形態12に係る表示装置111はツインパネル式

のものであり、メインパネル 112（表示パネル）とサブパネル 113（表示パネル）とから構成される。メインパネル 112 及びサブパネル 113 においては、ゲートバスライン 114・115（第 1 のバスライン）とソースバスライン 120（第 2 のバスライン）とが格子状に配置されている。なお、本実施の形態に係る表示装置 111 は、上述の実施の形態 9 にて説明した表示装置と同様に、サブパネル 113 側にゲートドライバ 311 及びソースドライバ 312 が設けられており、メインパネル 112 は、図示しない FPC などを通してサブパネル 113 と接続されている。

#### 【0128】

そして、ゲートバスライン 115 は、メインパネル 112 とサブパネル 113 との両方で画素電極と接続されているが、ゲートバスライン 114 に関しては、メインパネル 112 のみにおいて画素電極と接続されている。即ち、各ゲートバスライン 114 は、メインパネル 112 の TFT 基板 118 上のみで画素電極と接続され、サブパネル 113 の TFT 基板 119 上では、ゲートドライバ 311 の引き出し線とメインパネル 112 のゲートバスライン 114 とを接続する配線として機能している。

#### 【0129】

各ゲートバスライン 114 には、対向信号線 120' との交差部近傍にそれぞれ容量 116a、116b（第 1 の容量）が付加され、各ゲートバスライン 115 には、対向信号線 120' との交差部近傍にそれぞれ容量 117a、117b、117c（第 2 の容量）が付加されている。なお、実施の形態 12 に係る表示装置 111 は、上記容量の付加方法以外の点に関しては、実施の形態 11 の表示装置 101 と同様の構成である。

#### 【0130】

表示装置 111 においては、表示装置 101 の場合と同様に、メインパネル 112 のみで画素電極と接続されているゲートバスライン 114 と、メインパネル 112 及びサブパネル 113 の両方で画素電極と接続されているゲートバスライン 115 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、ゲートバスライン 115 の容量 117

a、117b、117cよりも、ゲートバスライン114の容量116a、116bの方が大きな容量となっている。より具体的には、容量116a、116bと容量117a、117b、117cとの大きさは、ゲートバスライン114とゲートバスライン115との容量差を小さく、あるいは無くすような大きさに設定されることが好ましい。これによって、ゲートバスライン114の信号遅延とゲートバスライン115の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0131】

なお、容量116a、116bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量117a、117b、117cの大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ゲートバスライン114・115と対向信号線120'とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

#### 【0132】

##### 〔実施の形態13〕

続いて、本発明の実施の形態13について説明する。本実施の形態13に係る表示装置121の構成を示す回路図を図20に示す。

#### 【0133】

図20に示すように、実施の形態13に係る表示装置121はメインパネル122（表示パネル）と2つのサブパネル123・124（表示パネル）とから構成される。メインパネル122及びサブパネル123・124においては、ソースバスライン125・126（第1のバスライン）とゲートバスライン130（第2のバスライン）とが格子状に配置されている。なお、本実施の形態に係る表示装置121は、上述の実施の形態9にて説明した表示装置と同様に、サブパネル123側にソースドライバ321及びゲートドライバ322が設けられており、メインパネル122は、図示しないFPCなどを介してサブパネル123と接続されている。さらに、もう一つのサブパネル124は、図示しないFPCなど



を介してメインパネル 122 と接続されている。

#### 【0134】

そして、ソースバスライン 126 は、メインパネル 122 及び 2 つのサブパネル 123・124 の全てで画素電極と接続されているが、ソースバスライン 125 に関しては、メインパネル 122 及びサブパネル 124 のみにおいて画素電極と接続されている。即ち、各ソースバスライン 125 は、メインパネル 122 及びサブパネル 124 の各 TFT 基板 128、129b 上のみで画素電極と接続され、サブパネル 123 の TFT 基板 129a 上では、ソースドライバ 321 の引き出し線とメインパネル 122 のソースバスライン 125 とを接続する配線として機能している。

#### 【0135】

各ソースバスライン 125 には、対向信号線 130' との交差部近傍にそれぞれ容量 127a、127b（第 1 の容量）が付加されている。なお、実施の形態 13 に係る表示装置 121 は、サブパネルの数が 2 個であるという点を除いて、実施の形態 9 の表示装置 81 と同様の構成である。

#### 【0136】

表示装置 121 においては、メインパネル 122 及びサブパネル 124 のみで画素電極と接続されているソースバスライン 125 と、全てのパネルで画素電極と接続されているソースバスライン 126 とでは、容量が異なる。つまり、ソースバスライン 125 においては、メインパネル 122 を駆動させるとき、サブパネル 123・124 の容量も負荷となる。一方、ソースバスライン 125 においては、メインパネル 122 を駆動させるとき、サブパネル 123 の容量は付加されないため、容量に差が生ずる。

#### 【0137】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、メインパネル 122 の TFT 基板 128 上のみ配されている各ソースバスライン 125 に、容量 127a、127b が付加されている。これによって、ソースバスライン 125 の信号遅延とソースバスライン 126 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止すること

ができる。

#### 【0138】

なお、容量127a、127bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ソースバスライン125と対向信号線130'とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

#### 【0139】

##### 〔実施の形態14〕

続いて、本発明の実施の形態14について説明する。本実施の形態14に係る表示装置131の構成を示す回路図を図21に示す。

#### 【0140】

図21に示すように、実施の形態14に係る表示装置131はメインパネル132（表示パネル）と2つのサブパネル133・134（表示パネル）とから構成される。メインパネル132及びサブパネル133・134においては、ソースバスライン135・136（第1のバスライン）とゲートバスライン333（第2のバスライン）とが格子状に配置されている。なお、本実施の形態に係る表示装置131は、上述の実施の形態9にて説明した表示装置と同様に、サブパネル133側にソースドライバ331及びゲートドライバ332が設けられており、メインパネル132は、図示しないFPCなどを介してサブパネル133と接続されている。さらに、もう一つのサブパネル134は、図示しないFPCなどを介してメインパネル132と接続されている。

#### 【0141】

そして、ソースバスライン136は、メインパネル132及び2つのサブパネル133・134の全てで画素電極と接続されているが、ソースバスライン135に関しては、メインパネル132及びサブパネル134のみにおいて画素電極と接続されている。即ち、各ソースバスライン135は、メインパネル132及びサブパネル134の各TFT基板139、140b上のみで画素電極と接続さ

れ、サブパネル 1 3 3 の T F T 基板 1 4 0 a 上では、ソースドライバ 3 3 1 の引き出し線とメインパネル 1 3 2 のソースバスライン 1 3 5 とを接続する配線として機能している。

#### 【 0 1 4 2 】

各ソースバスライン 1 3 5 には、対向信号線 3 3 3' との交差部近傍にそれぞれ容量 1 3 7 a、1 3 7 b（第 1 の容量）が付加され、各ソースバスライン 1 3 6 には、対向信号線 3 3 3' との交差部近傍にそれぞれ容量 1 3 8 a、1 3 8 b、1 3 8 c（第 2 の容量）が付加されている。なお、実施の形態 1 4 に係る表示装置 1 3 1 は、上記容量の付加方法以外の点に関しては、実施の形態 1 3 の表示装置 1 2 1 と同様の構成である。

#### 【 0 1 4 3 】

表示装置 1 3 1 においては、上述の実施の形態の場合と同様に、メインパネル 1 3 2 及びサブパネル 1 3 4 のみで画素電極と接続されているソースバスライン 1 3 5 と、全てのパネルで画素電極と接続されているソースバスライン 1 3 6 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、ソースバスライン 1 3 6 の容量 1 3 8 a、1 3 8 b、1 3 8 c よりも、ソースバスライン 1 3 5 の容量 1 3 7 a、1 3 7 b の方が大きな容量となっている。より具体的には、容量 1 3 7 a、1 3 7 b と容量 1 3 8 a、1 3 8 b、1 3 8 c との大きさは、ソースバスライン 1 3 5 とソースバスライン 1 3 6 との容量差を小さく、あるいは無くすような大きさに設定されることが好ましい。これによって、ソースバスライン 1 3 5 の信号遅延とソースバスライン 1 3 6 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【 0 1 4 4 】

なお、容量 1 3 7 a、1 3 7 b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量 1 3 8 a、1 3 8 b、1 3 8 c の大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ソースバスライン 1 3 5 ・ 1 3 6 と対向信号線 3 3 3' とを絶縁膜等を挟んで交差させることで形成するという方法を用いる

ことができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0145】

##### 〔実施の形態 15〕

続いて、本発明の実施の形態 15 について説明する。本実施の形態 15 に係る表示装置 141 の構成を示す回路図を図 22 に示す。

#### 【0146】

図 22 に示すように、実施の形態 15 に係る表示装置 141 はメインパネル 142 (表示パネル) と 2 つのサブパネル 143・144 (表示パネル) とから構成される。メインパネル 142 及びサブパネル 143・144 においては、ゲートバスライン 145・146 (第 1 のバスライン) とソースバスライン 150 (第 2 のバスライン) とが格子状に配置されている。なお、本実施の形態に係る表示装置 141 は、上述の実施の形態 9 にて説明した表示装置と同様に、サブパネル 143 側にゲートドライバ 341 及びソースドライバ 342 が設けられており、メインパネル 142 は、図示しない FPC などを通してサブパネル 143 と接続されている。さらに、もう一つのサブパネル 144 は、図示しない FPC などを通してメインパネル 142 と接続されている。

#### 【0147】

そして、ゲートバスライン 146 は、メインパネル 142 及び 2 つのサブパネル 143・144 の全てで画素電極と接続されているが、ゲートバスライン 145 に関しては、メインパネル 142 及びサブパネル 144 のみにおいて画素電極と接続されている。即ち、各ゲートバスライン 145 は、メインパネル 142 及びサブパネル 144 の各 TFT 基板 148、149b 上のみで画素電極と接続され、サブパネル 143 の TFT 基板 149a 上では、ゲートドライバ 341 の引き出し線とメインパネル 142 のゲートバスライン 145 とを接続する配線として機能している。

#### 【0148】

各ゲートバスライン 145 には、対向信号線 150' との交差部近傍にそれぞれ容量 147a、147b (第 1 の容量) が付加されている。なお、実施の形態

15に係る表示装置141は、ゲートドライバ341とソースドライバ342との配置が実施の形態13の表示装置121と逆になっており、それに伴って、ゲートバスラインと145・146及びソースバスライン150も表示装置121とは逆に配置されている。

#### 【0149】

表示装置141においては、上述の実施の形態の場合と同様に、メインパネル142及びサブパネル144のみで画素電極と接続されているゲートバスライン145と、全てのパネルで画素電極と接続されているゲートバスライン146とでは、容量が異なる。つまり、ゲートバスライン146においては、メインパネル142を駆動させるとき、サブパネル143・144の容量も負荷となる。一方、ゲートバスライン145においては、メインパネル142を駆動させるとき、サブパネル143の容量は付加されないため、容量に差が生ずる。

#### 【0150】

この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くするために、メインパネル142のTFT基板148上のみに配されている各ゲートバスライン145に、容量147a、147bが付加されている。これによって、ゲートバスライン145の信号遅延とゲートバスライン146の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0151】

なお、容量147a、147bの大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよい。この容量の付加には、例えば、ゲートバスライン145と対向信号線150'とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態1において説明した各方法を採用してもよい。

#### 【0152】

##### 〔実施の形態16〕

続いて、本発明の実施の形態16について説明する。本実施の形態16に係る

表示装置 1 5 1 の構成を示す回路図を図 2 3 に示す。

#### 【0 1 5 3】

図 2 3 に示すように、実施の形態 1 6 に係る表示装置 1 5 1 はメインパネル 1 5 2 (表示パネル) と 2 つのサブパネル 1 5 3 ・ 1 5 4 (表示パネル) とから構成される。メインパネル 1 5 2 及びサブパネル 1 5 3 ・ 1 5 4 においては、ゲートバスライン 1 5 5 ・ 1 5 6 (第 1 のバスライン) とソースバスライン 3 5 3 (第 2 のバスライン) とが格子状に配置されている。なお、本実施の形態に係る表示装置 1 5 1 は、上述の実施の形態 9 にて説明した表示装置と同様に、サブパネル 1 5 3 側にゲートドライバ 3 5 1 及びソースドライバ 3 5 2 が設けられており、メインパネル 1 5 2 は、図示しない F P C などを通してサブパネル 1 5 3 と接続されている。さらに、もう一つのサブパネル 1 5 4 は、図示しない F P C などを通してメインパネル 1 5 2 と接続されている。

#### 【0 1 5 4】

そして、ゲートバスライン 1 5 6 は、メインパネル 1 5 2 及び 2 つのサブパネル 1 5 3 ・ 1 5 4 の全てで画素電極と接続されているが、ゲートバスライン 1 5 5 に関しては、メインパネル 1 5 2 及びサブパネル 1 5 4 のみにおいて画素電極と接続されている。即ち、各ゲートバスライン 1 5 5 は、メインパネル 1 5 2 及びサブパネル 1 5 4 の各 T F T 基板 1 5 9、1 6 0 b 上のみで画素電極と接続され、サブパネル 1 5 3 の T F T 基板 1 6 0 a 上では、ゲートドライバ 3 5 1 の引き出し線とメインパネル 1 5 2 のゲートバスライン 1 5 5 とを接続する配線として機能している。

#### 【0 1 5 5】

各ゲートバスライン 1 5 5 には、対向信号線 3 5 3' との交差部近傍にそれぞれ容量 1 5 7 a、1 5 7 b (第 1 の容量) が付加され、各ゲートバスライン 1 5 6 には、対向信号線 3 5 3' との交差部近傍にそれぞれ容量 1 5 8 a、1 5 8 b、1 5 8 c (第 2 の容量) が付加されている。なお、実施の形態 1 6 に係る表示装置 1 5 1 は、上記容量の付加方法以外の点に関しては、実施の形態 1 5 の表示装置 1 4 1 と同様の構成である。

#### 【0 1 5 6】

表示装置 151 においては、上述の実施の形態の場合と同様に、メインパネル 152 及びサブパネル 154 のみで画素電極と接続されているゲートバスライン 155 と、全てのパネルで画素電極と接続されているゲートバスライン 156 とでは、容量が異なる。そこで、この容量の差を表示に影響が出ない大きさまで小さく、あるいは無くすために、ゲートバスライン 156 の容量 158 a、158 b、158 c よりも、ゲートバスライン 155 の容量 157 a、157 b の方が大きな容量となっている。より具体的には、容量 157 a、157 b と容量 158 a、158 b、158 c との大きさは、ゲートバスライン 155 とゲートバスライン 156 との容量差を小さく、あるいは無くすような大きさに設定されることが好ましい。これによって、ゲートバスライン 155 の信号遅延とゲートバスライン 156 の信号遅延との差が発生することなく、信号遅延の差によって生ずる表示不良等の発生を防止することができる。

#### 【0157】

なお、容量 157 a、157 b の大きさは、互いに全く同じであっても、また、表示に影響しない程度の差があってもよく、容量 158 a、158 b、158 c の大きさは、互いに全く同じであっても、表示に影響しない程度の差があってもよい。容量の付加には、例えば、ゲートバスライン 155・156 と対向信号線 353' とを絶縁膜等を挟んで交差させることで形成するという方法を用いることができる。しかしながら、容量の付加方法はこれに限定されることなく、実施の形態 1 において説明した各方法を採用してもよい。

#### 【0158】

なお、以上の各実施の形態においては、説明の便宜上、ソースバスライン及びゲートバスラインの数を適宜省略した構成としている。本発明においては、ソースバスライン及びゲートバスラインの数は、各表示パネルの大きさに合わせて適宜変更することができる。また、本発明の表示装置の表示パネルの数も、上述の実施の形態で説明した 2 個あるいは 3 個に限定されることなく、必要に応じて適宜決めることができる。

#### 【0159】

#### 【発明の効果】

以上のように、本発明のアクティブマトリクス基板は、複数の第1のバスラインと、複数の第2のバスラインとが格子状に配置され、上記複数の第1のバスラインと上記複数の第2のバスラインとの各交差点近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第1のバスライン及び上記第2のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板において、上記複数の第1のバスラインの少なくとも一つには、第1の容量が付加されており、上記第1の容量の付加された上記第1のバスラインを除く第1のバスラインが、他のアクティブマトリクス基板の第1のバスラインと接続されることを特徴とするものである。

#### 【0160】

上記の構成によれば、上記アクティブマトリクス基板と他のアクティブマトリクスとを用いる表示装置において、表示エリア周辺の額縁と呼ばれる部分の幅を縮小できる。また、第1のバスラインを駆動するドライバの数及び出力端子の数を削減して、低コストでコンパクトな表示モジュールを有する表示装置を実現できる。

#### 【0161】

さらに、上記アクティブマトリクス基板は、他のアクティブマトリクス基板と共有していない第1のバスラインに、第1の容量が付加されている。これによって、このアクティブマトリクス基板を用いて表示を行う場合に、第1のバスラインごとの容量の違いを小さく、あるいは、生じさせなくすることができる。そのため、第1のバスラインに入力される信号の遅延の差によるブロック分かれなどの表示不良を発生させることなく、上記アクティブマトリクス基板、他のアクティブマトリクス基板の両方において表示を良好に行うことができる。

#### 【0162】

上記のアクティブマトリクス基板において、上記第1の容量の付加された上記第1のバスラインは、他のアクティブマトリクス基板内に備えられた配線と接続されていてもよい。

#### 【0163】

上記の構成によれば、画素電極が接続された第1のバスライン本数の少ない他



のアクティブマトリクス基板側に第1のバスラインを駆動するドライバを備えることができる。

#### 【0164】

上記のアクティブマトリクス基板において、上記第1の容量が付加されていない第1のバスラインには、上記第1の容量よりも容量の小さい第2の容量が付加されていてもよい。

#### 【0165】

これによって、個々の第1のバスラインにおいて、適宜容量の調節を行うことができるため、より確実にバスライン毎の容量差を小さくすることができる。そして、より良好な画像表示を行うことができる。

#### 【0166】

上記のアクティブマトリクス基板において、上記第1のバスラインは、ソースドライバに接続されており、上記第2のバスラインは、ゲートドライバに接続されていてもよい。

#### 【0167】

上記の構成によれば、第1のバスラインに入力されるソース信号の遅延の差を縮めることができるため、ブロック分かれなどの表示不良を発生させずに、良好な表示を行うことができる。

#### 【0168】

上記のアクティブマトリクス基板において、上記第1のバスラインは、ゲートドライバに接続されており、上記第2のバスラインは、ソースドライバに接続されていてもよい。

#### 【0169】

上記の構成によれば、第1のバスラインに入力されるゲート信号の遅延の差を縮めることができるため、ブロック分かれなどの表示不良を発生させずに、良好な表示を行うことができる。

#### 【0170】

なお、上述のアクティブマトリクス基板を備えた表示装置も本発明に含まれる。このような表示装置は、第1のバスライン入力されるソース信号あるいはゲ-

ト信号の遅延の差を縮めることができるため、ブロック分かれなどの表示不良を発生させずに良好な表示を行うことのできる表示装置を提供することができる。

#### 【0171】

また、本発明の表示装置は、複数の第1のバスラインと、複数の第2のバスラインとが格子状に配置され、上記複数の第1のバスラインと上記複数の第2のバスラインとの各交差部近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第1のバスライン及び上記第2のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板を有する表示パネルを複数個備えた表示装置において、上記複数の第1のバスラインの少なくとも1つには、第1の容量が付加されており、上記第1の容量が付加された上記第1のバスラインを除く上記第1のバスラインは、複数個の上記表示パネル内の各アクティブマトリクス基板によって共有されていることを特徴とするものである。

#### 【0172】

上記表示装置は、複数個の表示パネルにそれぞれ供えられているアクティブマトリクス基板間で、第1のバスラインを共有しているため、表示エリア周辺の額縁と呼ばれる部分の幅を縮小できる。また、第1のバスラインを駆動するドライバの数及び出力端子の数を削減して、低コストでコンパクトな表示モジュールを有する表示装置を実現できる。

#### 【0173】

さらに、上記の表示装置によれば、大きさの異なる複数の表示パネルを有する表示装置において画像表示を行う場合に、第1のバスラインごとの容量の違いを小さく、あるいは、生じさせなくすることができる。そのため、第1のバスラインに入力される信号の遅延の差によるブロック分かれなどの表示不良を発生させることなく、複数の表示パネルの全てにおいて表示を良好に行うことができる。

#### 【0174】

上記の表示装置において、複数個の上記表示パネルによって共有されている上記第1のバスラインには、上記第1の容量よりも容量の小さい第2の容量が付加されていてもよい。

## 【 0 1 7 5 】

上記の構成によれば、個々の第 1 のバスラインにおいて、適宜容量の調節を行うことができるため、より確実にバスライン毎の容量差を小さくすることができる。そして、より良好な画像表示を行うことができる。

## 【 0 1 7 6 】

また、本発明の表示装置は、複数の第 1 のバスラインと、複数の第 2 のバスラインとが格子状に配置され、上記複数の第 1 のバスラインと上記複数の第 2 のバスラインとの各交差部近傍に複数のスイッチング素子が配置され、上記スイッチング素子を介して上記第 1 のバスライン及び上記第 2 のバスラインのそれぞれに電氣的に接続された複数の画素電極を備えたアクティブマトリクス基板を有する表示パネルを複数個備えた表示装置において、上記複数の第 1 のバスラインは、上記複数個の表示パネルによって共有され、上記表示パネルの少なくとも一つでは、上記複数の第 1 のバスラインの少なくとも一つが上記アクティブマトリクス基板内の上記画素電極と接続されておらず、上記画素電極と接続されていない上記第 1 のバスラインには、第 1 の容量が付加されていることを特徴とするものである。

## 【 0 1 7 7 】

上記の構成によれば、複数個の表示パネルにそれぞれ供えられているアクティブマトリクス基板間で、第 1 のバスラインを共有しているため、表示エリア周辺の額縁と呼ばれる部分の幅を縮小できる。また、第 1 のバスラインを駆動するドライバの数及び出力端子の数を削減して、低コストでコンパクトな表示モジュールを有する表示装置を実現できる。

## 【 0 1 7 8 】

さらに、上記表示装置は、例えば大きさの異なる複数の表示パネルを備える表示パネルにおいて、より小さな表示パネルに関しては第 1 のバスラインが画素電極と接続されていないような場合にも、その第 1 のバスラインには、容量が付加されているため、第 1 のバスライン間の容量差を小さく、あるいは無くすことができる。これによって、第 1 のバスラインに入力される信号の遅延の差によるブロック分かれなどの表示不良を発生させることなく、複数の表示パネルの全てに

において表示を良好に行うことができる。

【0 1 7 9】

上記の表示装置において、上記第 1 の容量が付加されていない上記第 1 のバスラインには、上記第 1 の容量よりも容量の小さい第 2 の容量が付加されていてもよい。

【0 1 8 0】

上記の構成によれば、個々の第 1 のバスラインにおいて、適宜容量の調節を行うことができるため、より確実にバスライン毎の容量差を小さくすることができる。そして、より良好な画像表示を行うことができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る表示装置の構成を示す回路図である。

【図 2】

本発明の実施の形態 1 に係る表示装置のメインパネルにおいて、付加容量用配線の配置状態を示す模式図である。

【図 3】

本発明に係る表示装置の一例であり、図 2 に示す表示装置とは異なる方法で付加容量用配線が配置されている表示装置のメインパネルを示す模式図である。

【図 4】

本発明に係る表示装置の一例であり、図 2 に示す表示装置とは異なる方法で付加容量用配線が配置されている表示装置のメインパネルを示す模式図である。

【図 5】

本発明に係る表示装置の一例であり、図 2 に示す表示装置とは異なる方法で付加容量用配線が配置されている表示装置のメインパネルを示す模式図である。

【図 6】

本発明に係る表示装置の一例であり、図 2 に示す表示装置とは異なる方法で付加容量用配線が配置されている表示装置のメインパネルを示す模式図である。

【図 7】

本発明に係る表示装置の一例であり、図 2 に示す表示装置とは異なる方法で付

加容量用配線が配置されている表示装置のメインパネルを示す模式図である。

【図 8】

本発明に係る表示装置の一例であり、図 2 に示す表示装置とは異なる方法で付加容量用配線が配置されている表示装置のメインパネルを示す模式図である。

【図 9】

本発明の実施の形態 2 に係る表示装置の構成を示す回路図である。

【図 1 0】

本発明の実施の形態 3 に係る表示装置の構成を示す回路図である。

【図 1 1】

本発明の実施の形態 4 に係る表示装置の構成を示す回路図である。

【図 1 2】

本発明の実施の形態 5 に係る表示装置の構成を示す回路図である。

【図 1 3】

本発明の実施の形態 6 に係る表示装置の構成を示す回路図である。

【図 1 4】

本発明の実施の形態 7 に係る表示装置の構成を示す回路図である。

【図 1 5】

本発明の実施の形態 8 に係る表示装置の構成を示す回路図である。

【図 1 6】

本発明の実施の形態 9 に係る表示装置の構成を示す回路図である。

【図 1 7】

本発明の実施の形態 1 0 に係る表示装置の構成を示す回路図である。

【図 1 8】

本発明の実施の形態 1 1 に係る表示装置の構成を示す回路図である。

【図 1 9】

本発明の実施の形態 1 2 に係る表示装置の構成を示す回路図である。

【図 2 0】

本発明の実施の形態 1 3 に係る表示装置の構成を示す回路図である。

【図 2 1】

本発明の実施の形態 14 に係る表示装置の構成を示す回路図である。

【図 22】

本発明の実施の形態 15 に係る表示装置の構成を示す回路図である。

【図 23】

本発明の実施の形態 16 に係る表示装置の構成を示す回路図である。

【図 24】

(a) は、本発明の実施の形態 1 に係る表示装置のメインパネルの表示領域の構造をより具体的に示す模式図である。(b) は、(a) において B で示す部分を拡大した図であり、(c) は、(a) において C で示す部分を拡大した図である。

【図 25】

従来の表示装置の構成を示す回路図である。

【符号の説明】

表示装置      1、11、21、31、41、51、61、71、81、91、  
                 101、111、121、131、141、151、181

メインパネル（表示パネル）      2、12、22、32、42、52、62、  
                 72、82、92、102、112、122、132、142、  
                 152、182

サブパネル（表示パネル）      3、13、23、33、43、44、53、  
                 54、63、64、73、74、83、93、103、113、  
                 123、124、133、134、143、144、153、154、  
                 183

ソースバスライン（第 1 のバスライン）      4、5、14、15、45、  
                 46、55、56、84、85、94、95、125、126、  
                 135、136、195、196

ゲートバスライン（第 1 のバスライン）      24、25、34、35、  
                 65、66、75、76、104、105、114、115、145、  
                 146、155、156

ゲートバスライン（第 2 のバスライン）      9、20、50、253、

89、100、130、333、188

ソースバスライン (第2のバスライン) 29、40、70、273、

109、120、150、353

付加容量 (第1の付加容量) 6a、6b、16a、16b、26a、

26b、36a、36b、47a、47b、57a、57b、

67a、67b、77a、77b、86a、86b、96a、96b、

106a、106b、116a、116b、127a、127b、

137a、137b、147a、147b、157a、157b

付加容量 (第2の付加容量) 17a、17b、17c、37a、

37b、37c、58a、58b、58c、78a、78b、78c、

97a、97b、97c、117a、117b、117c、138a、

138b、138c、158a、158b、158c

TFT基板 (アクティブマトリクス基板) 7、8、18、19、27、

28、38、39、48、49a、49b、59、60a、60b、

68、69a、69b、79、80a、80b、87、88、98、

99、107、108、118、119、128、129a、

129b、139、140a、140b、148、149a、

149b、159、160a、160b、184、186

対向基板 7'、8'、18'、19'、27'、28'、38'、

39'、48'、49a'、49b'、59'、60a'、60b'、

68'、69a'、69b'、79'、80a'、80b'、87'、

88'、98'、99'、107'、108'、118'、119'、

128'、129a'、129b'、139'、140a'、

140b'、148'、149a'、149b'、159'、

160a'、160b'、185、187

対向信号線 9'、20'、29'、40'、50'、253'、

70'、273'、89'、100'、109'、120'、  
130'、333'、150'、353'

ソースドライバ      201、211、222、232、241、251、  
262、272、281、291、302、312、321、331、  
342、352、191

ゲートドライバ      202、212、221、231、242、252、  
261、271、282、292、301、311、322、332、  
341、351、190

スイッチング素子      TFT

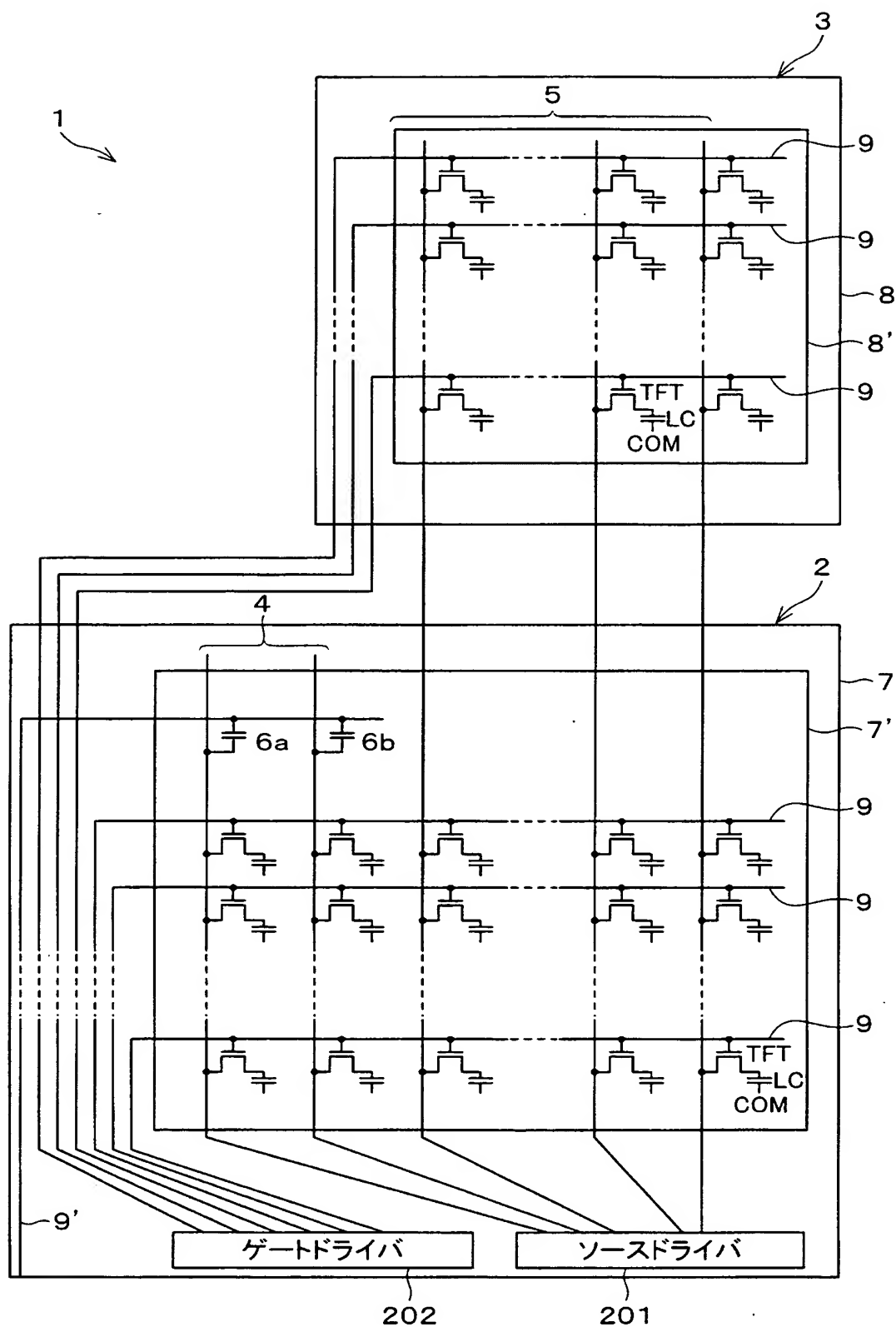
対向電極              COM

液晶層                LC

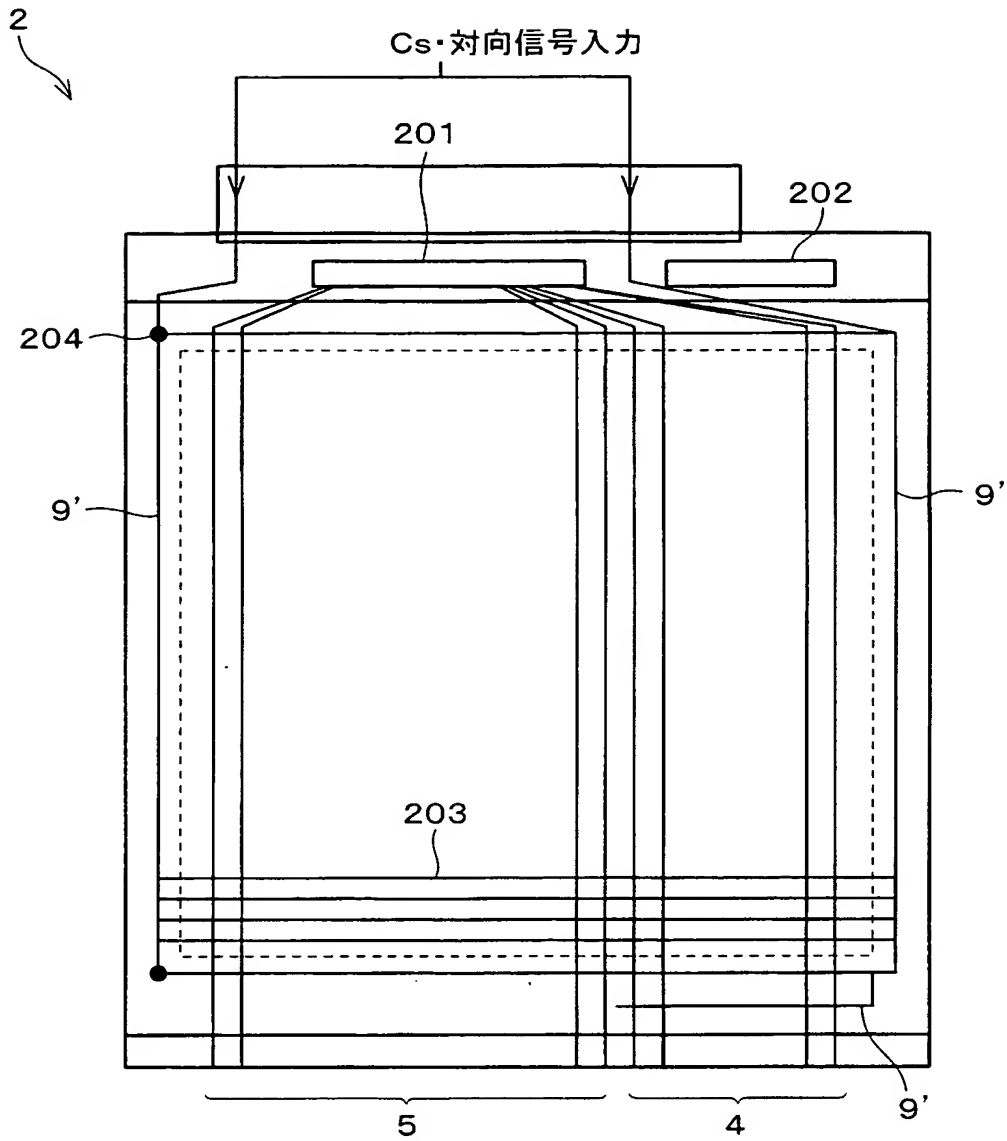


【書類名】 図面

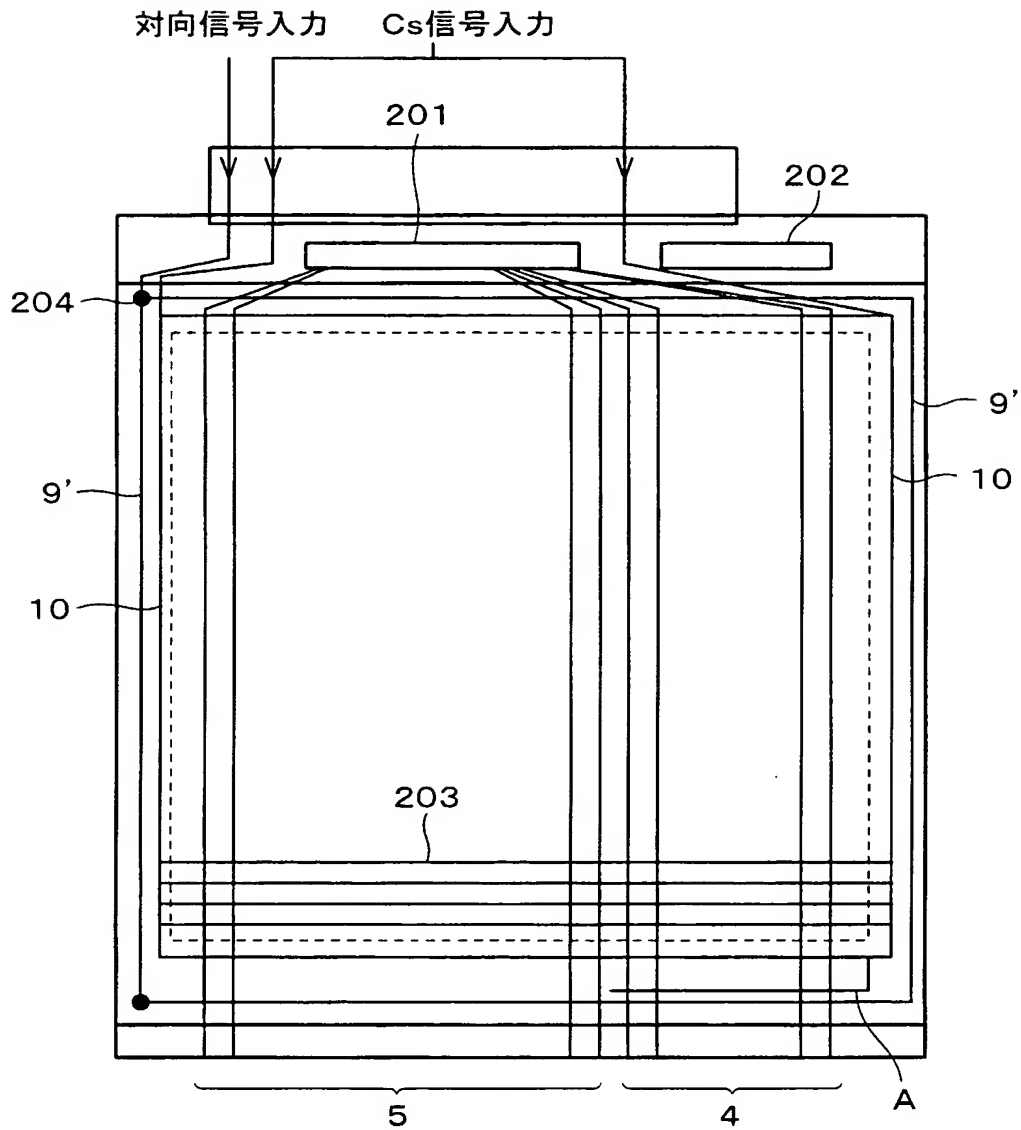
【図 1】



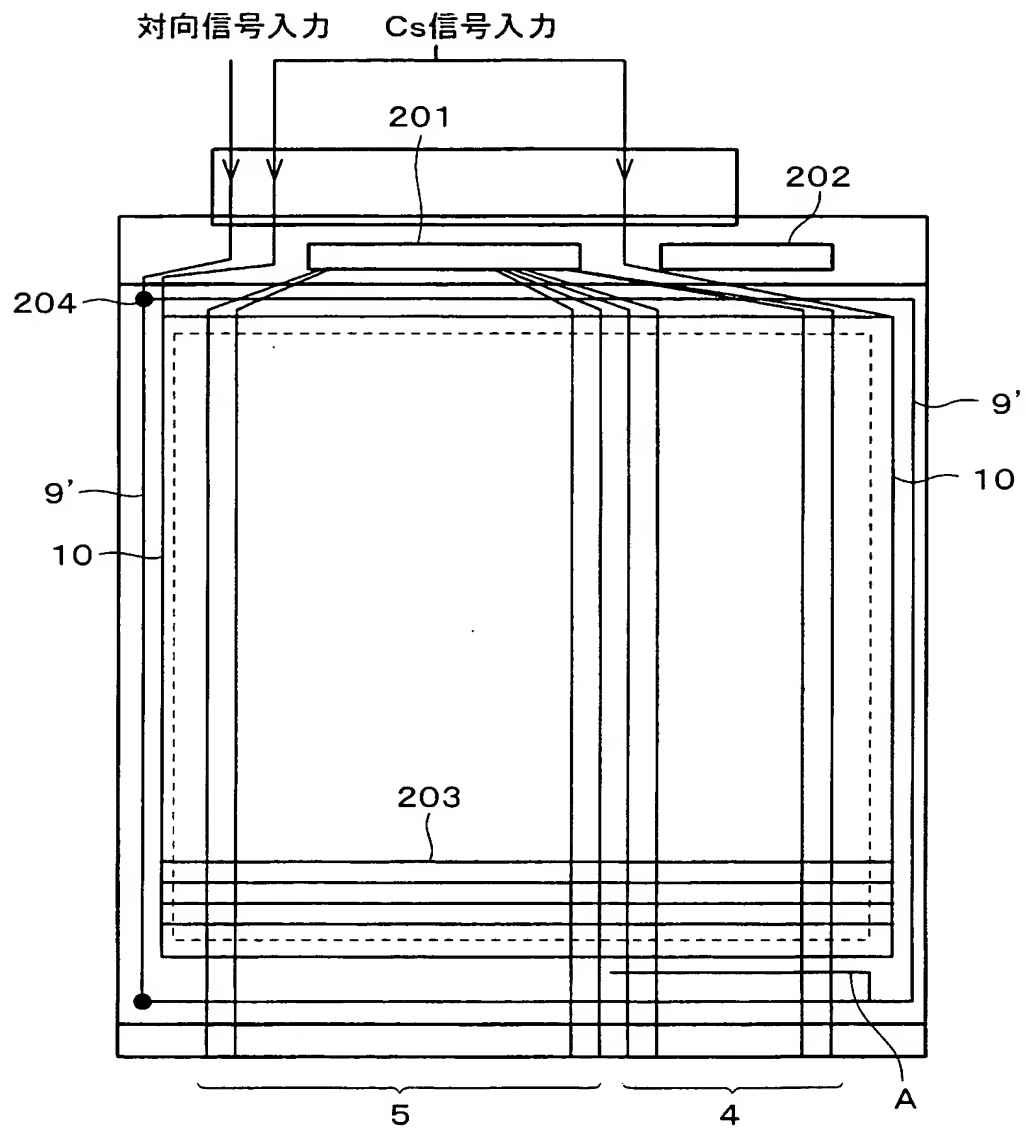
【図 2】



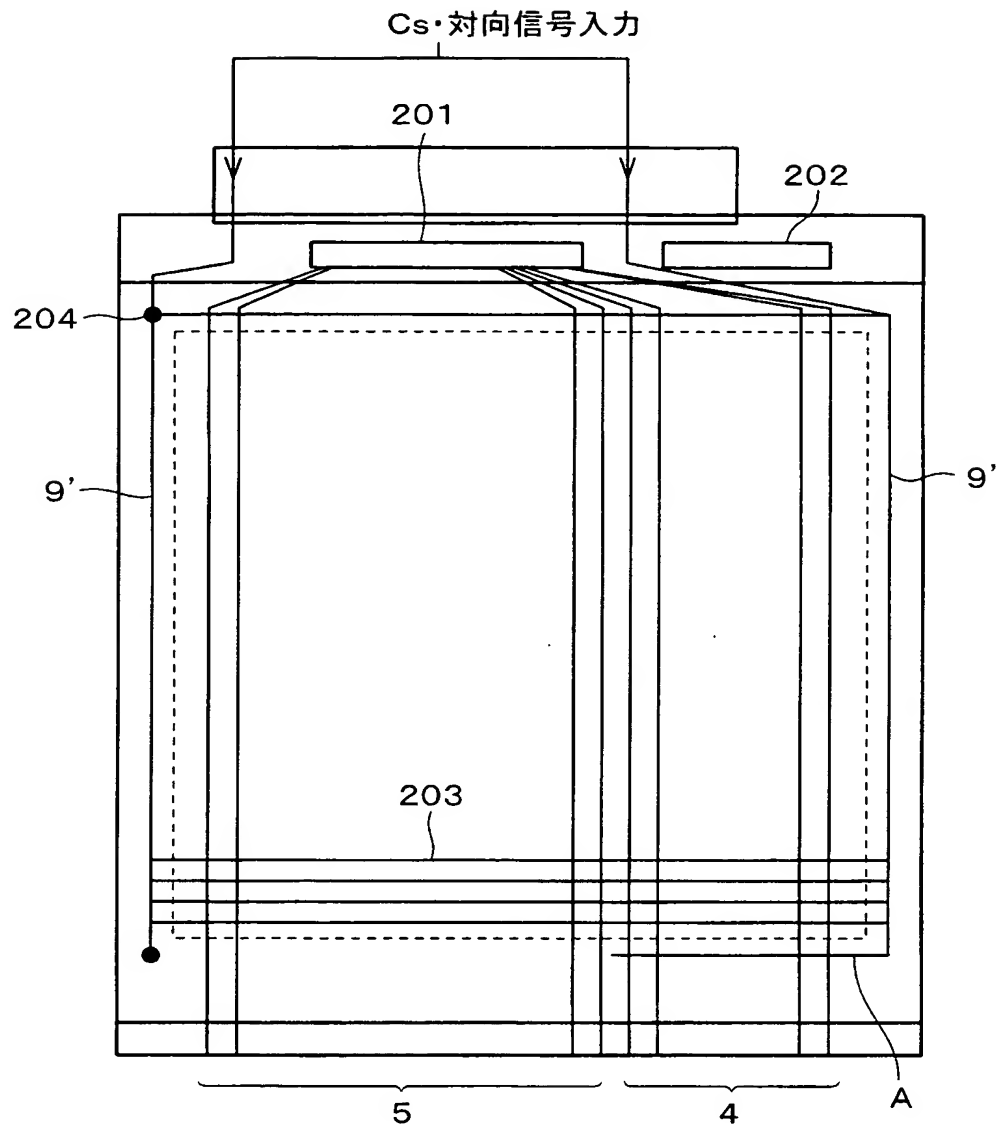
【図 3】



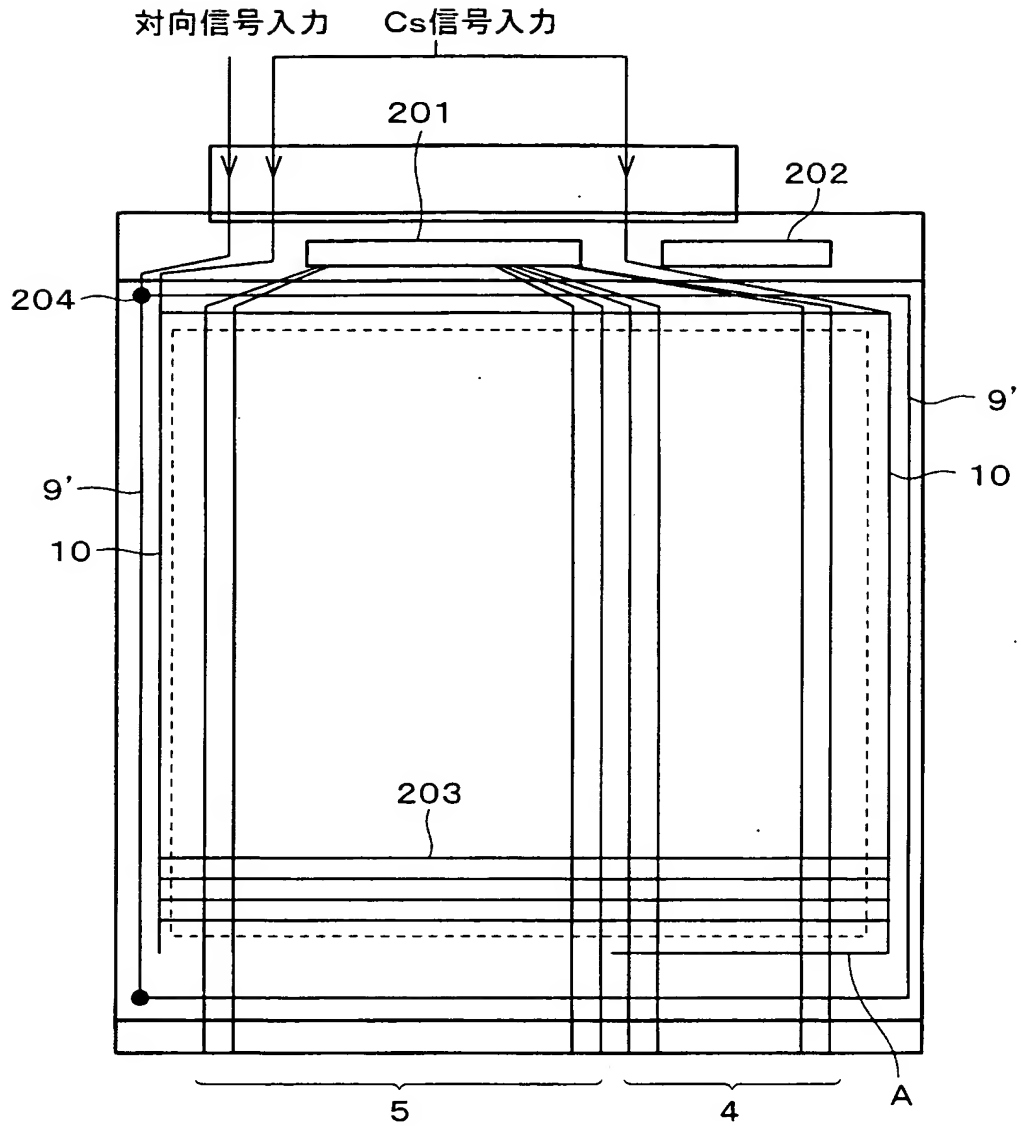
【図 4】



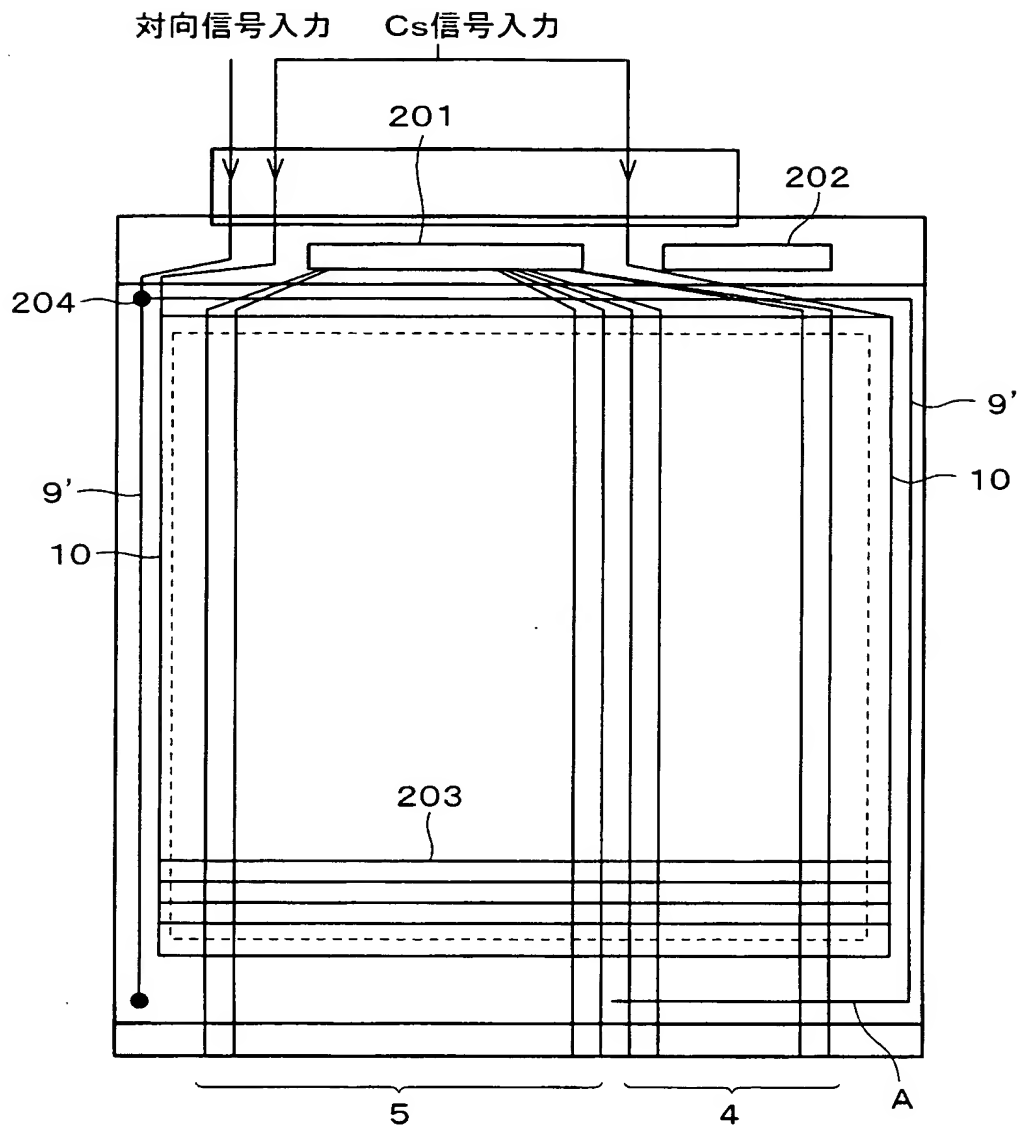
【図 5】



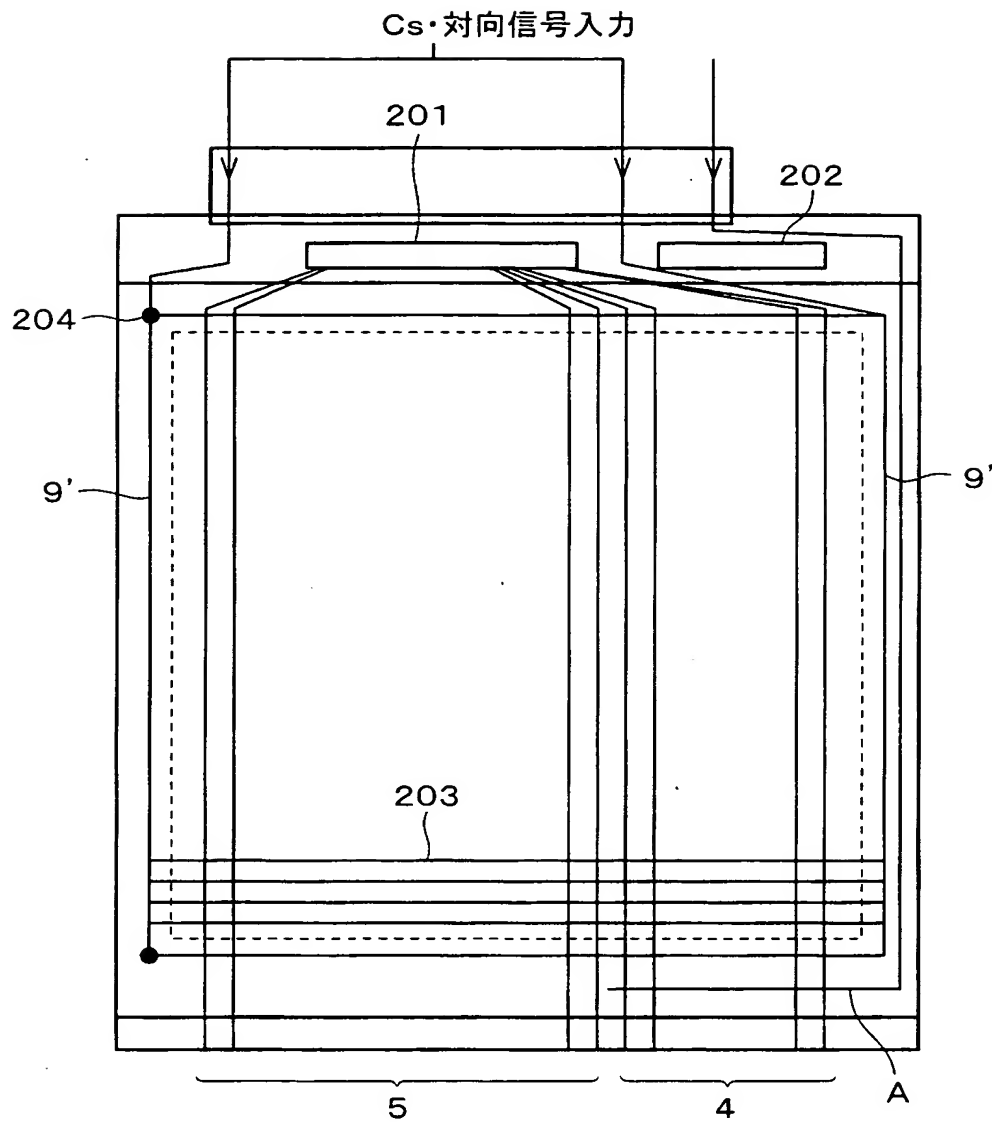
【図 6】



【図 7】

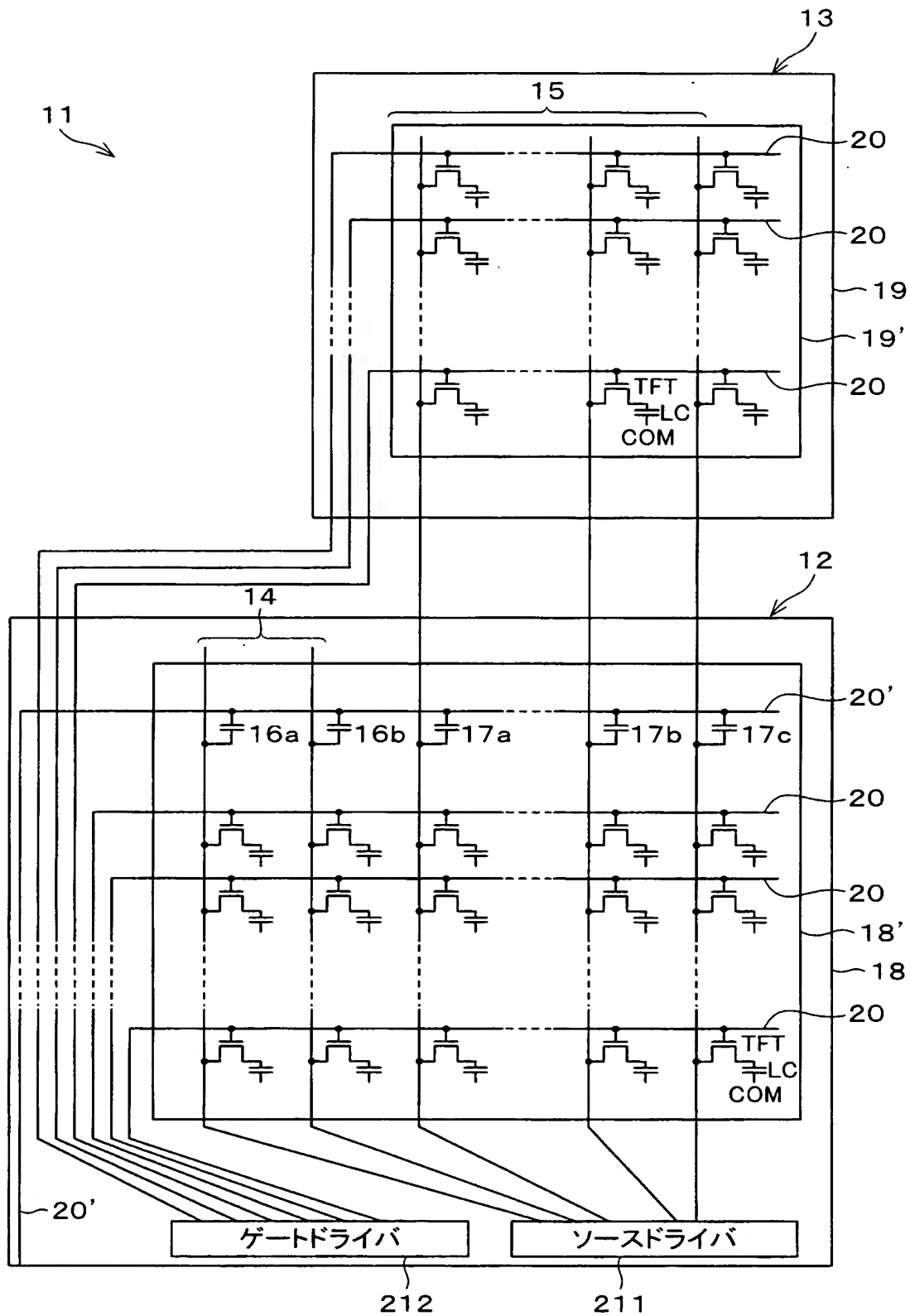


【図 8】

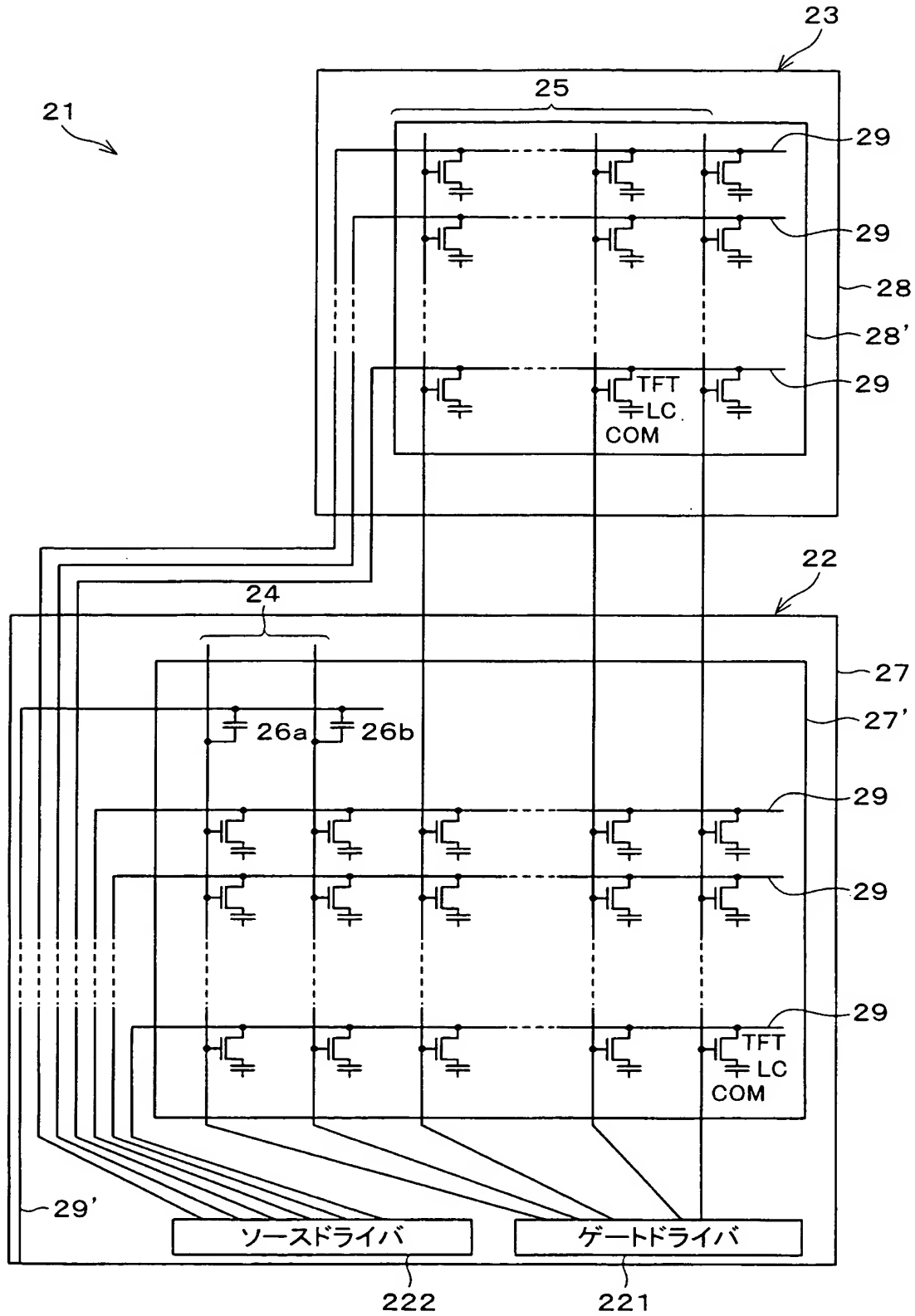




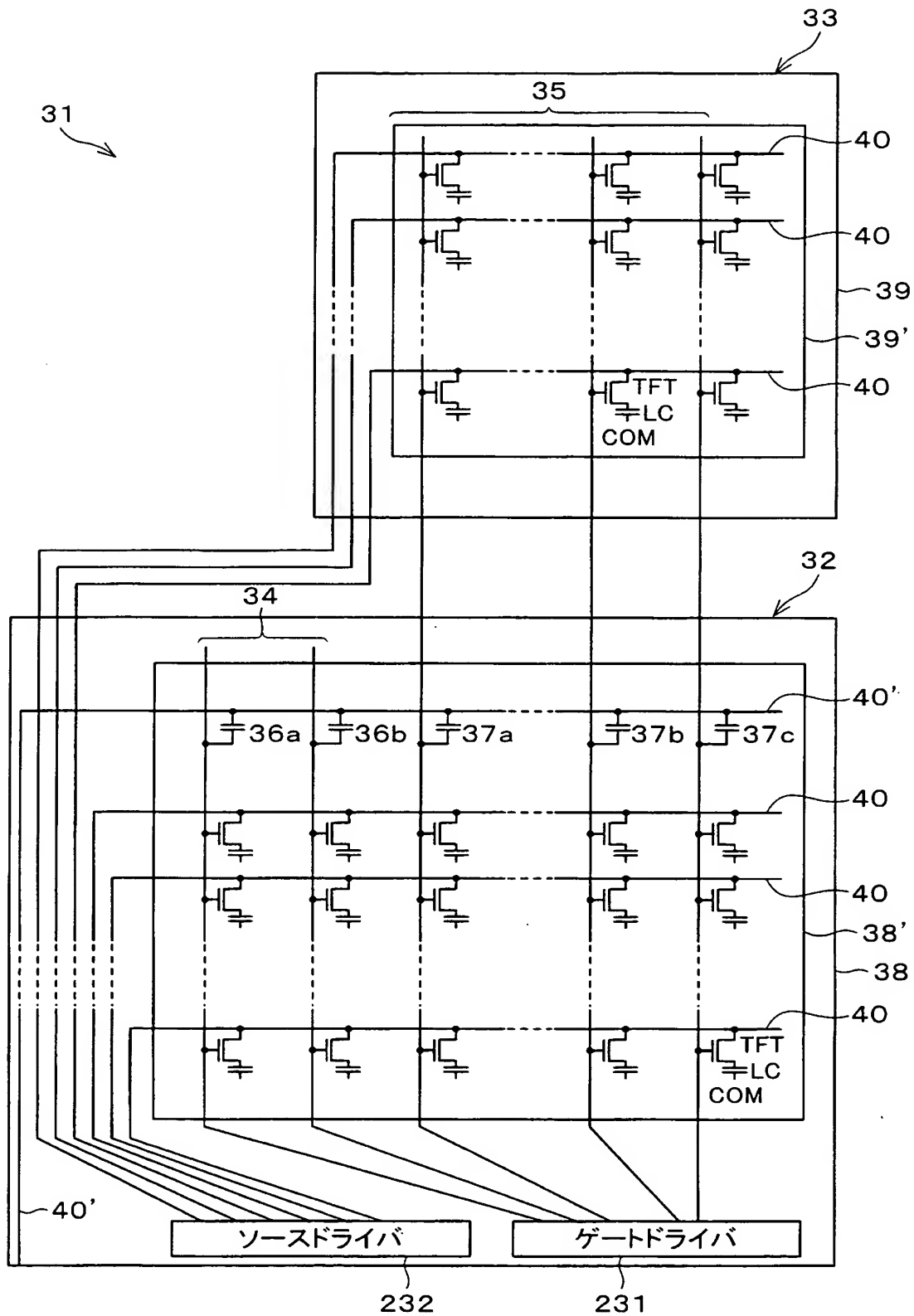
【図 9】



【図 10】

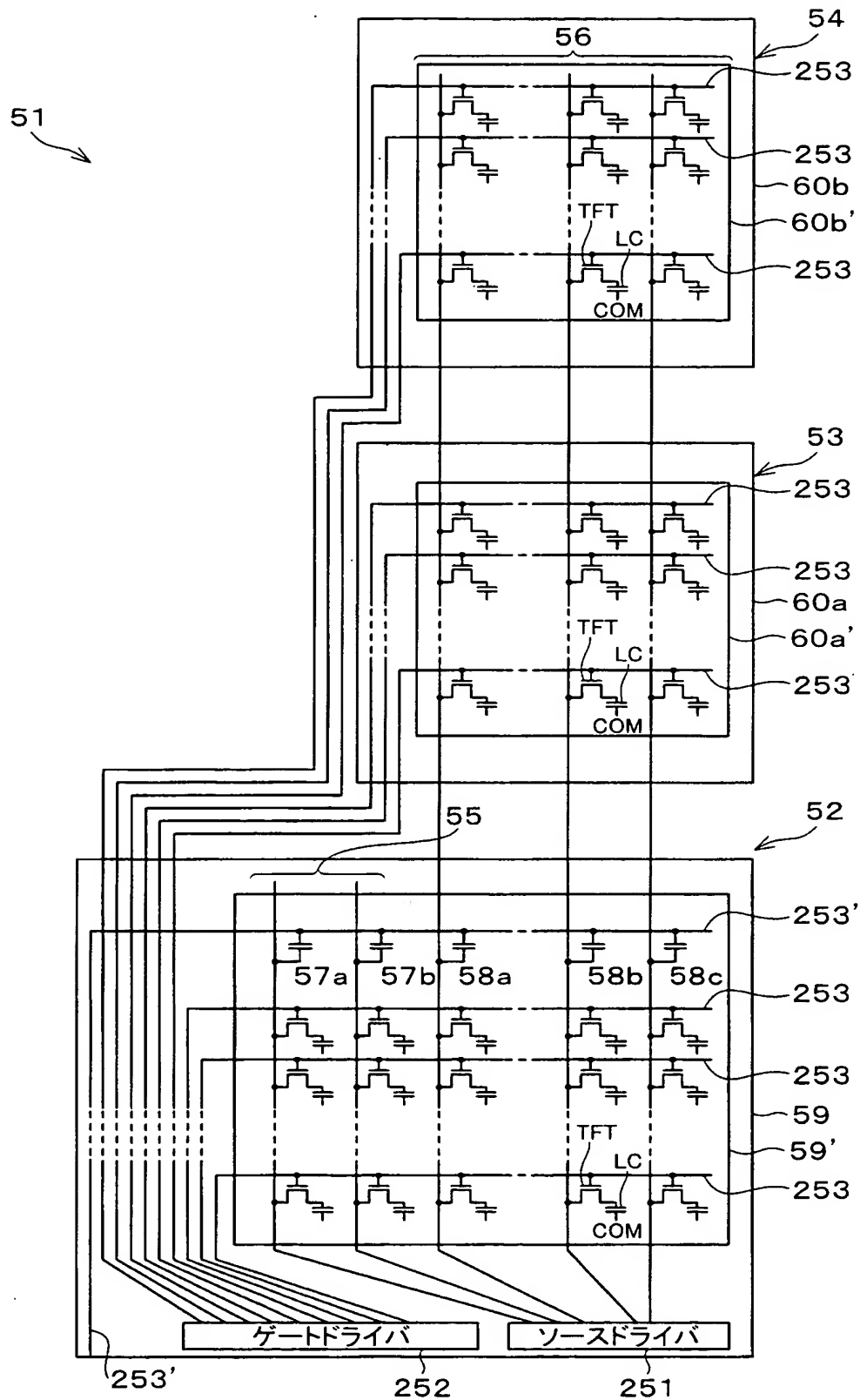


【図 11】

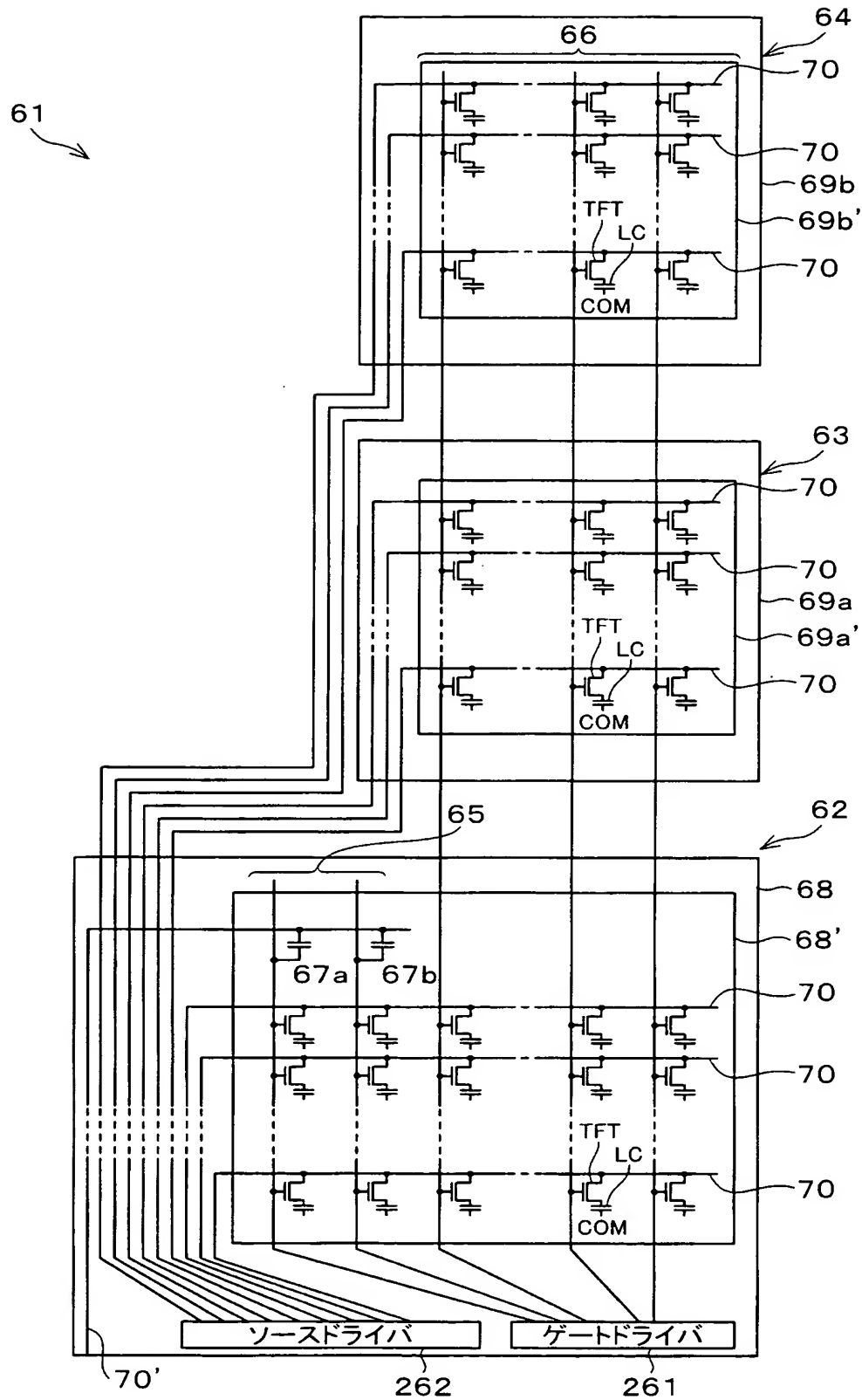




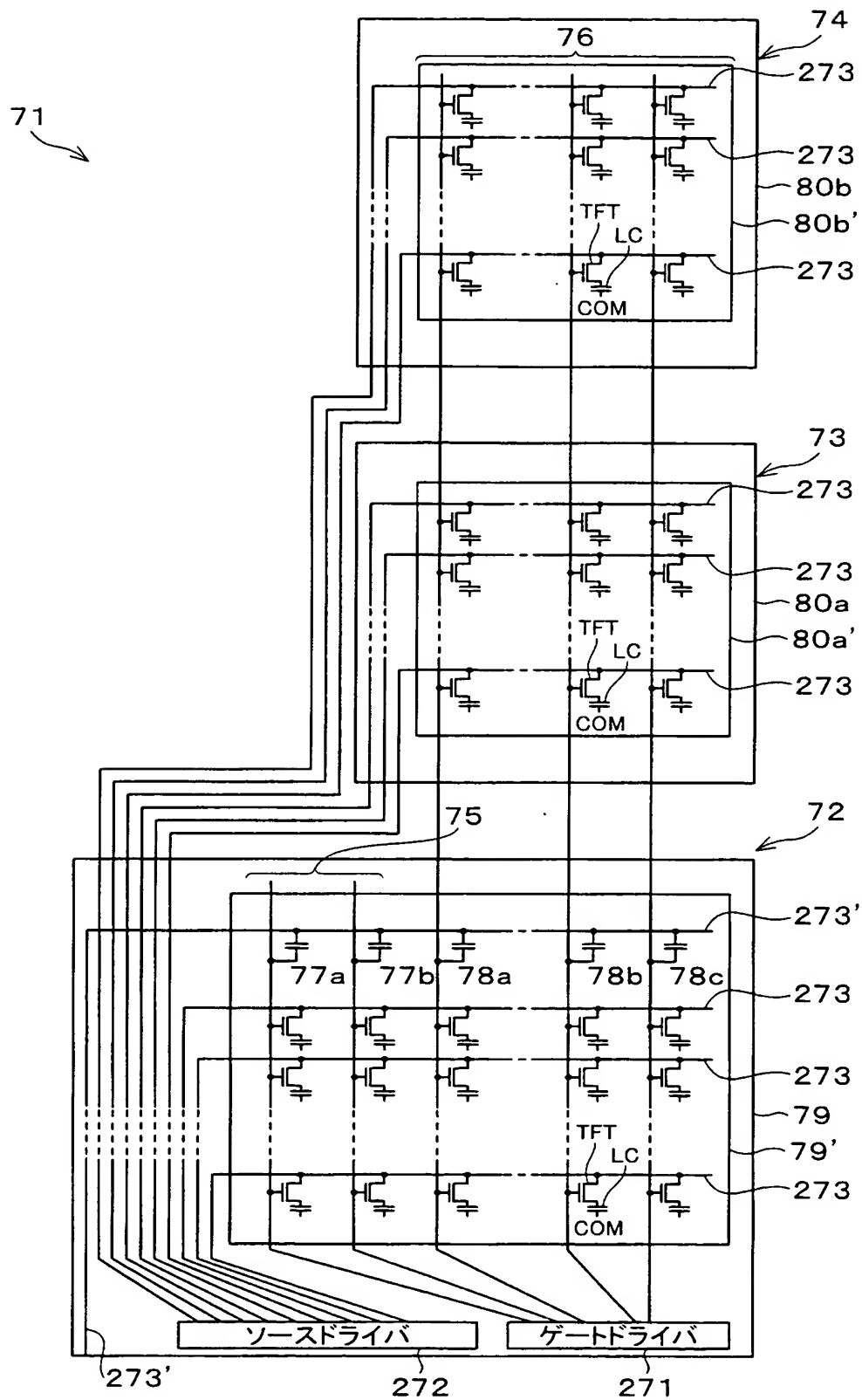
【図 13】



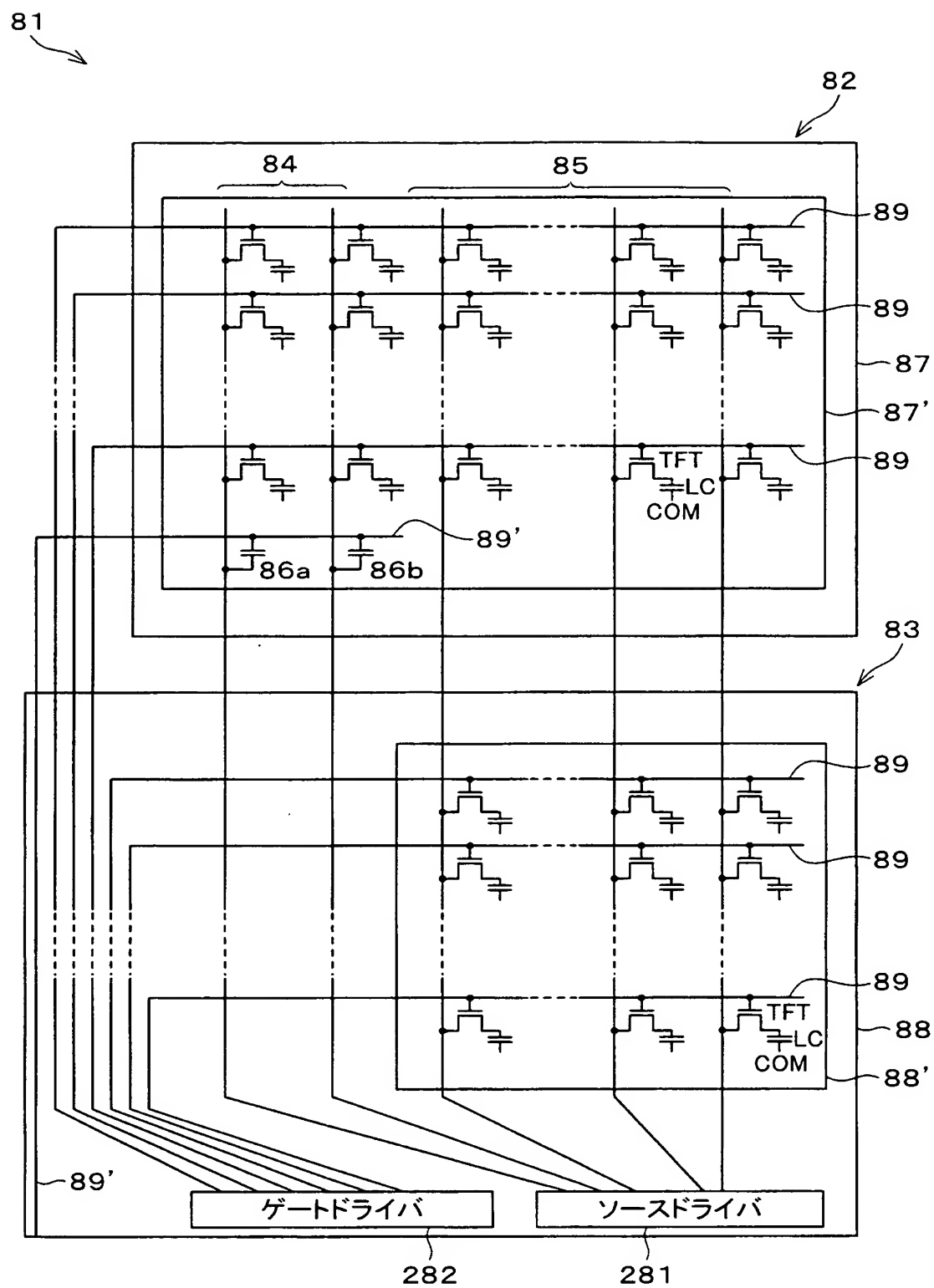
【図 14】



【図 15】

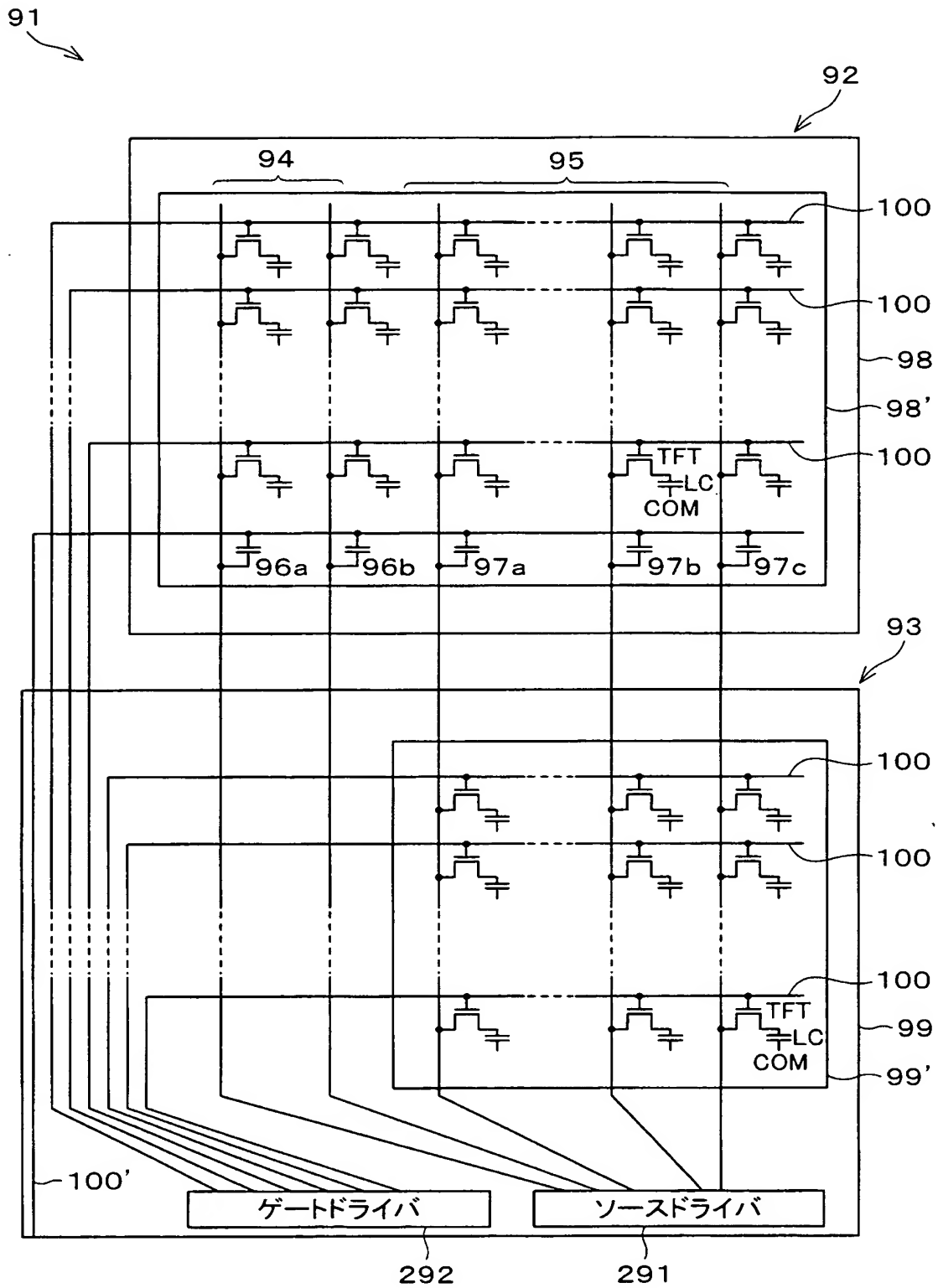


【图 16】



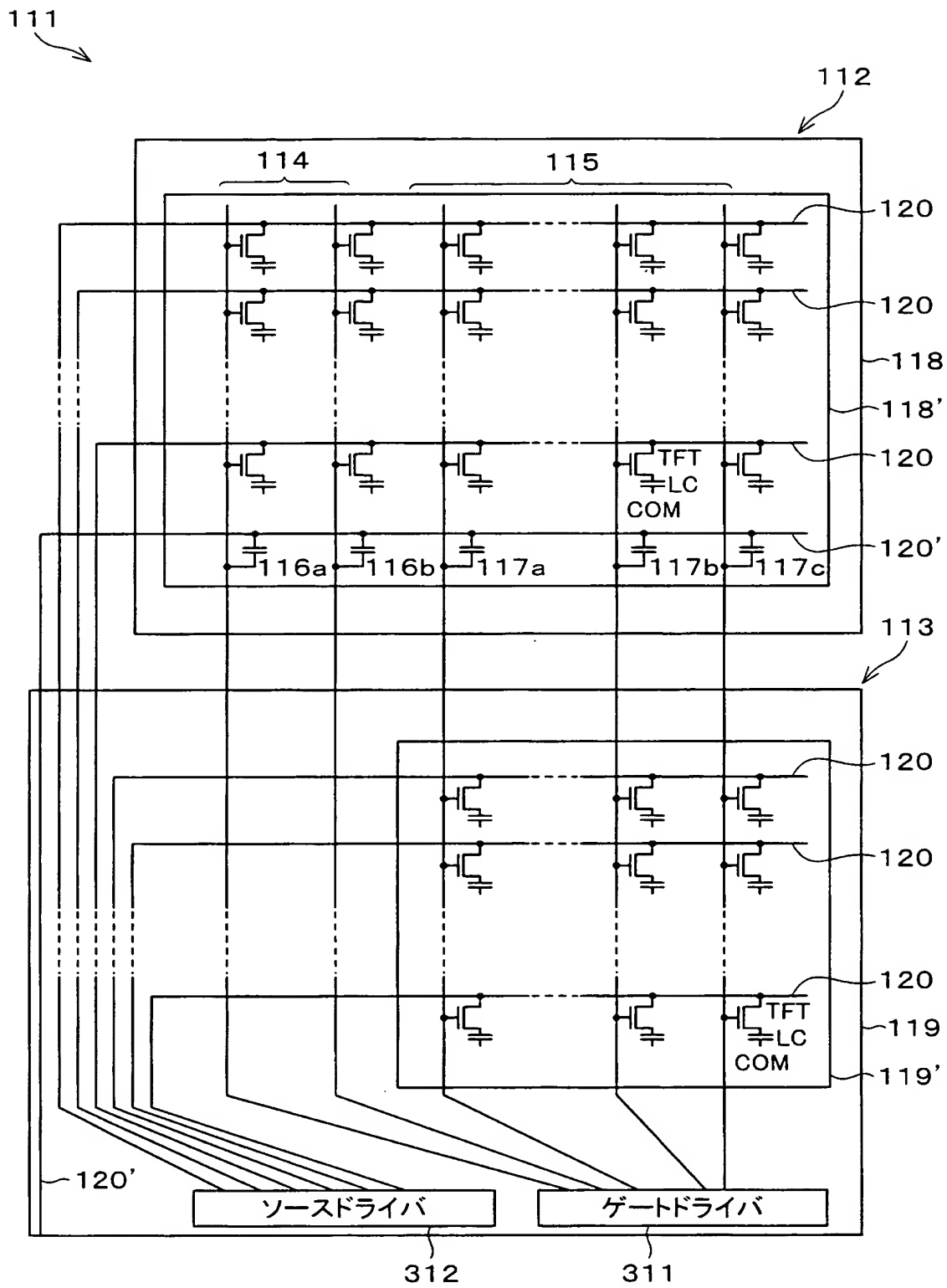


【図 17】

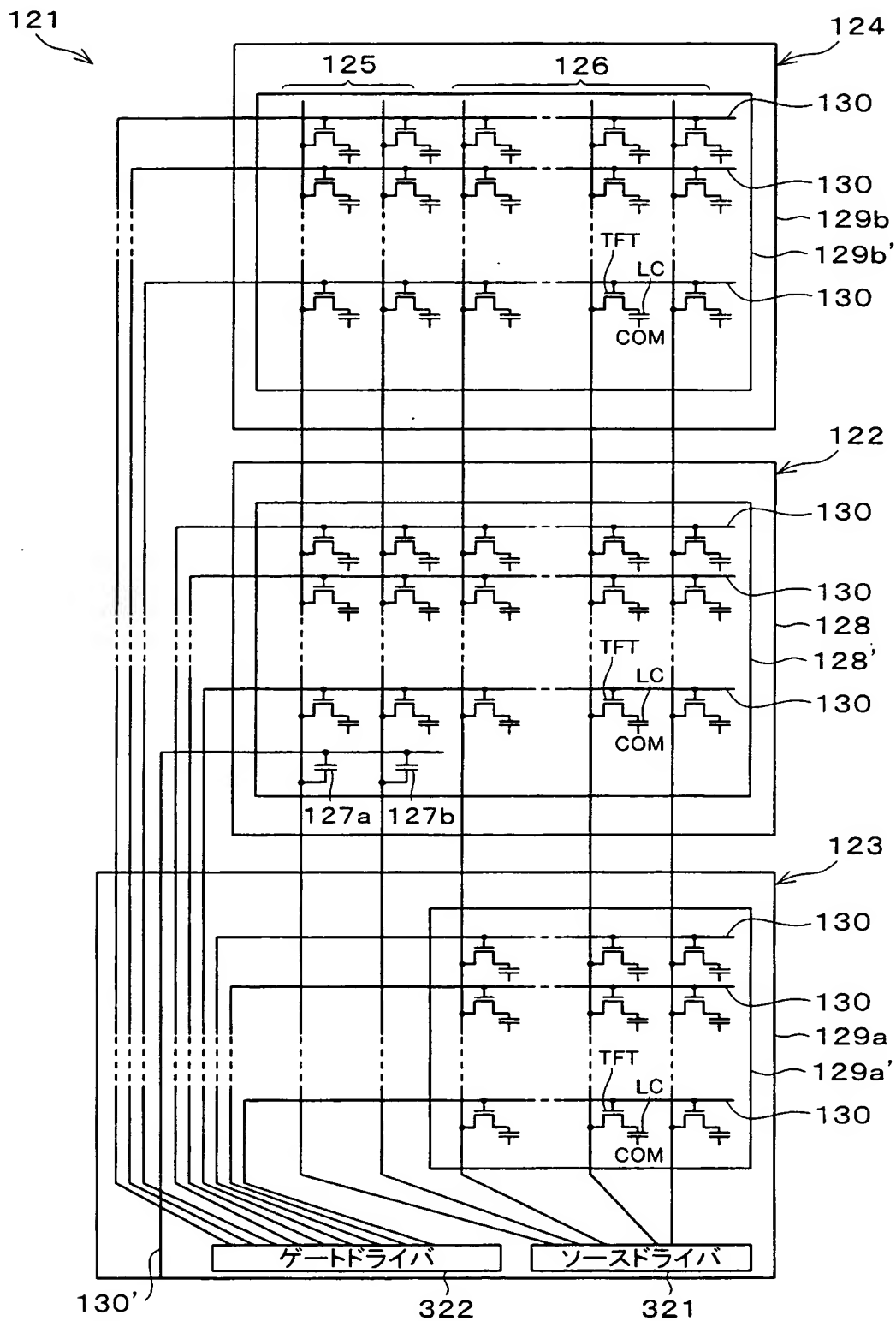




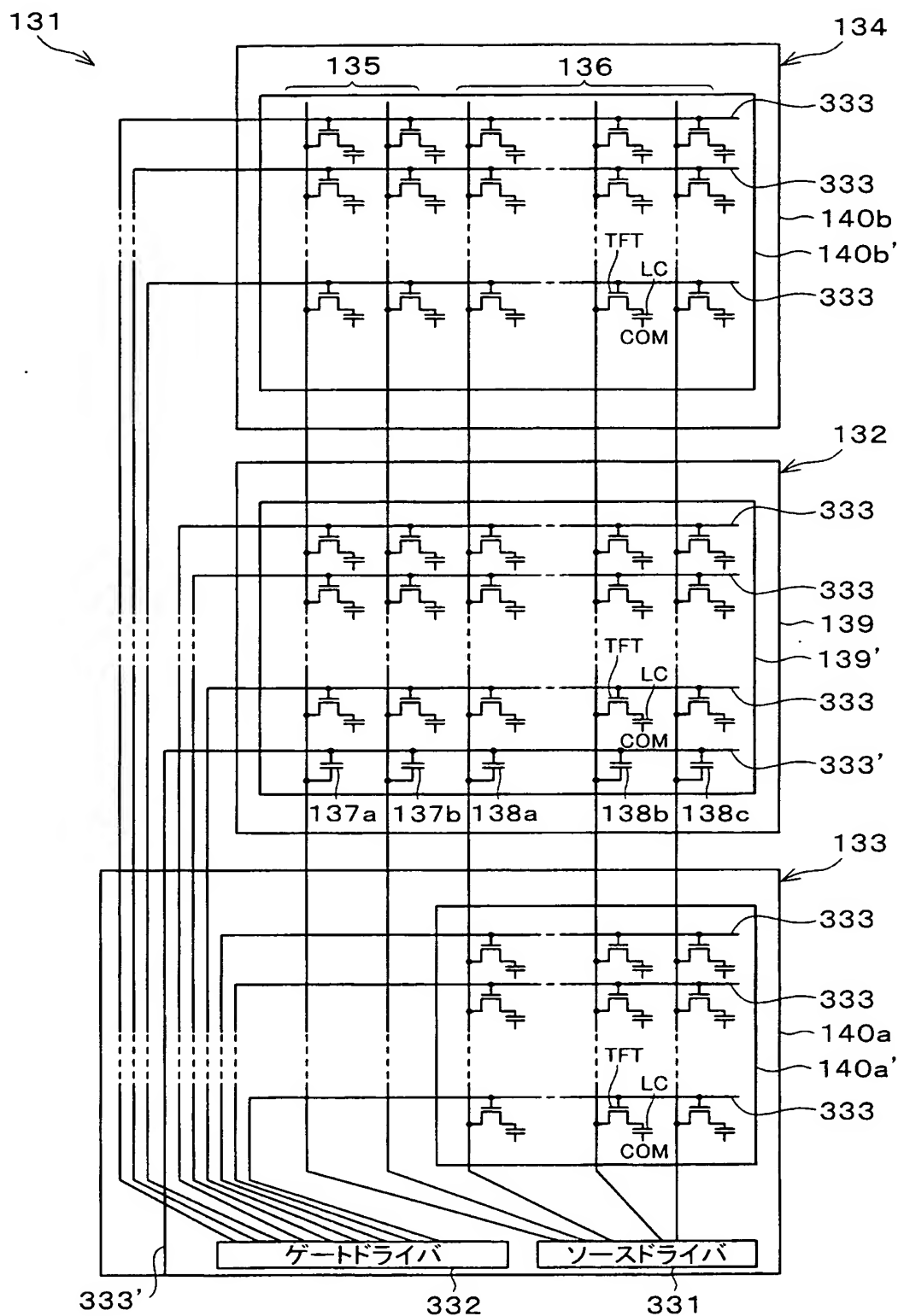
【図 19】



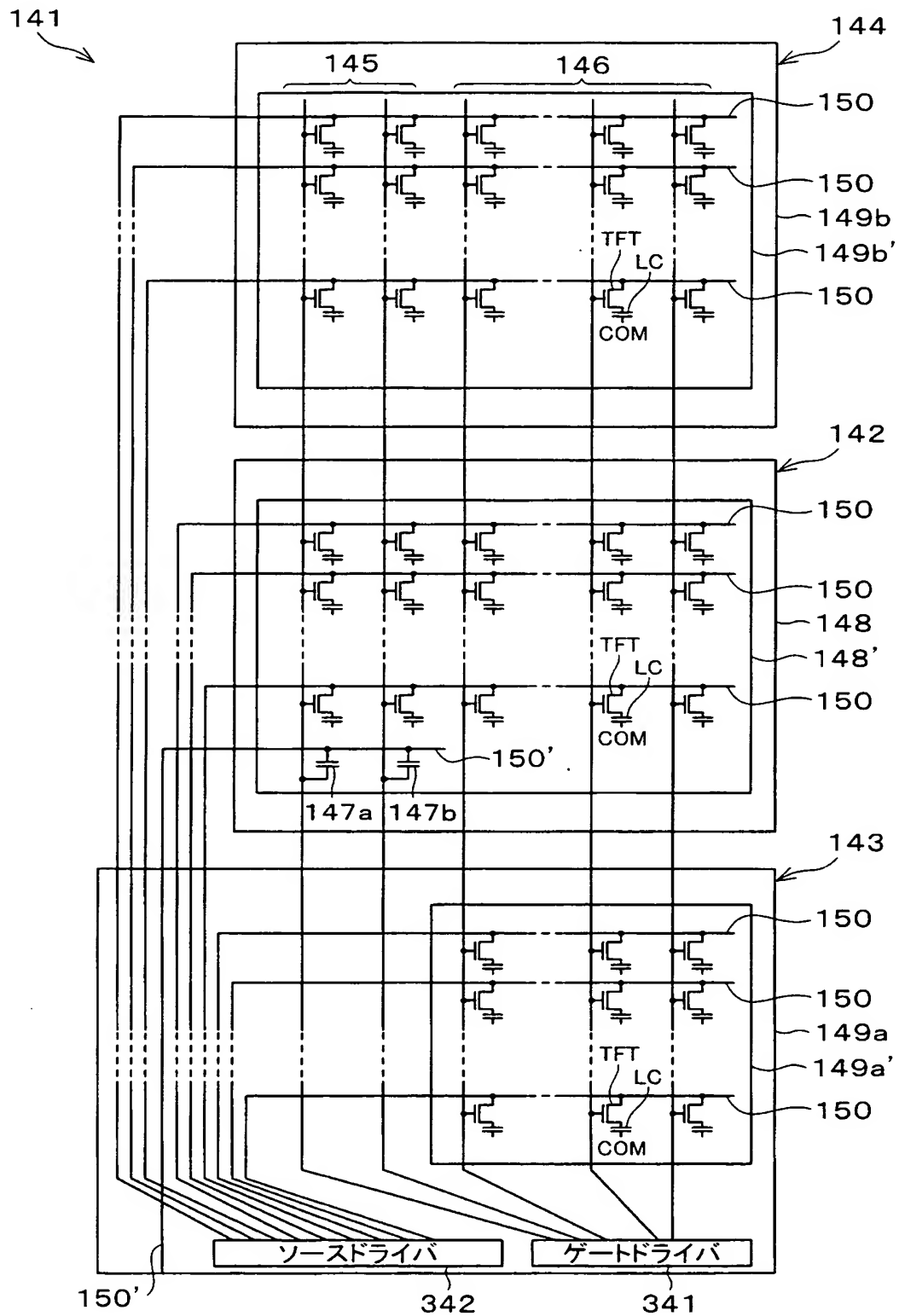
【図 20】



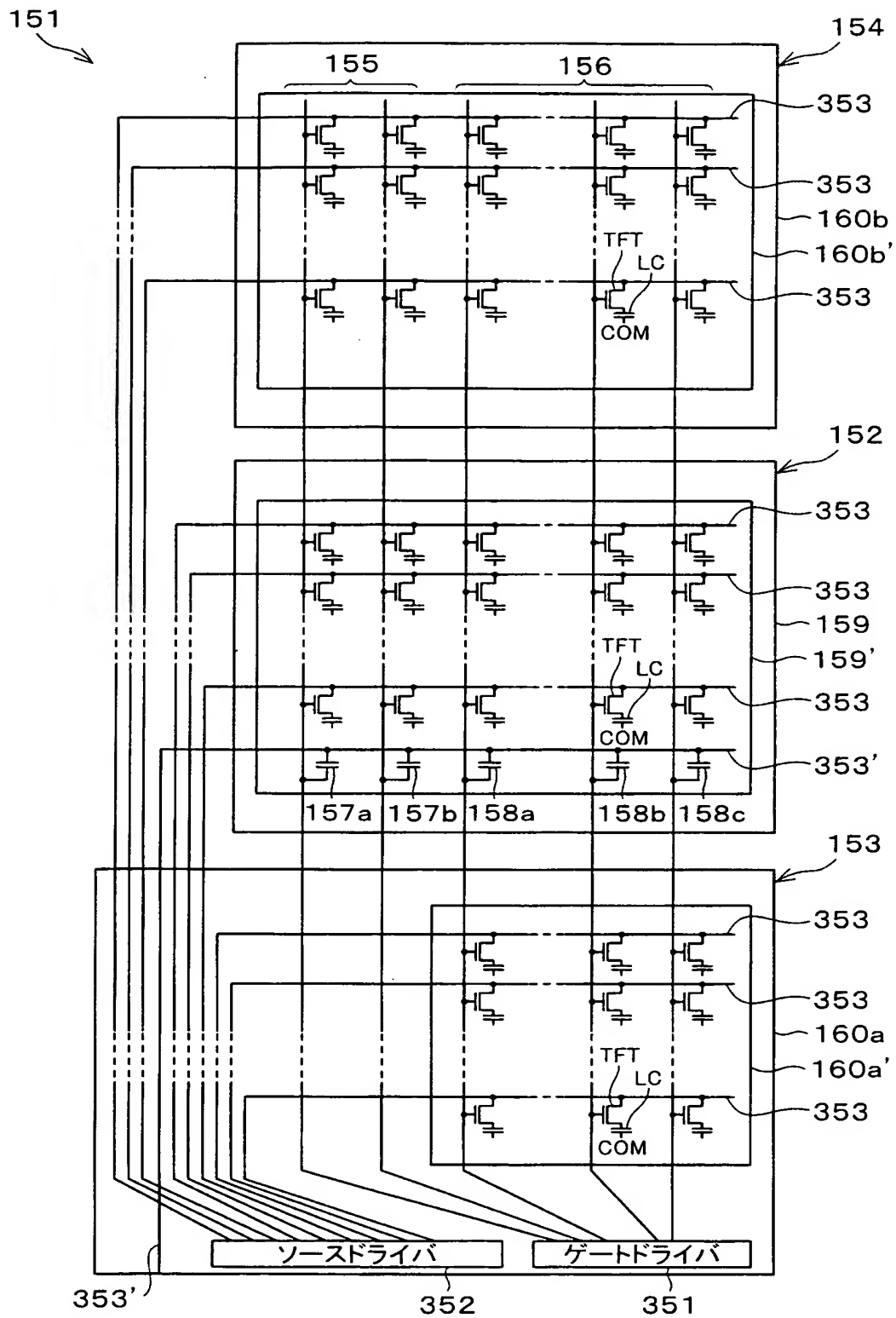
【図 21】



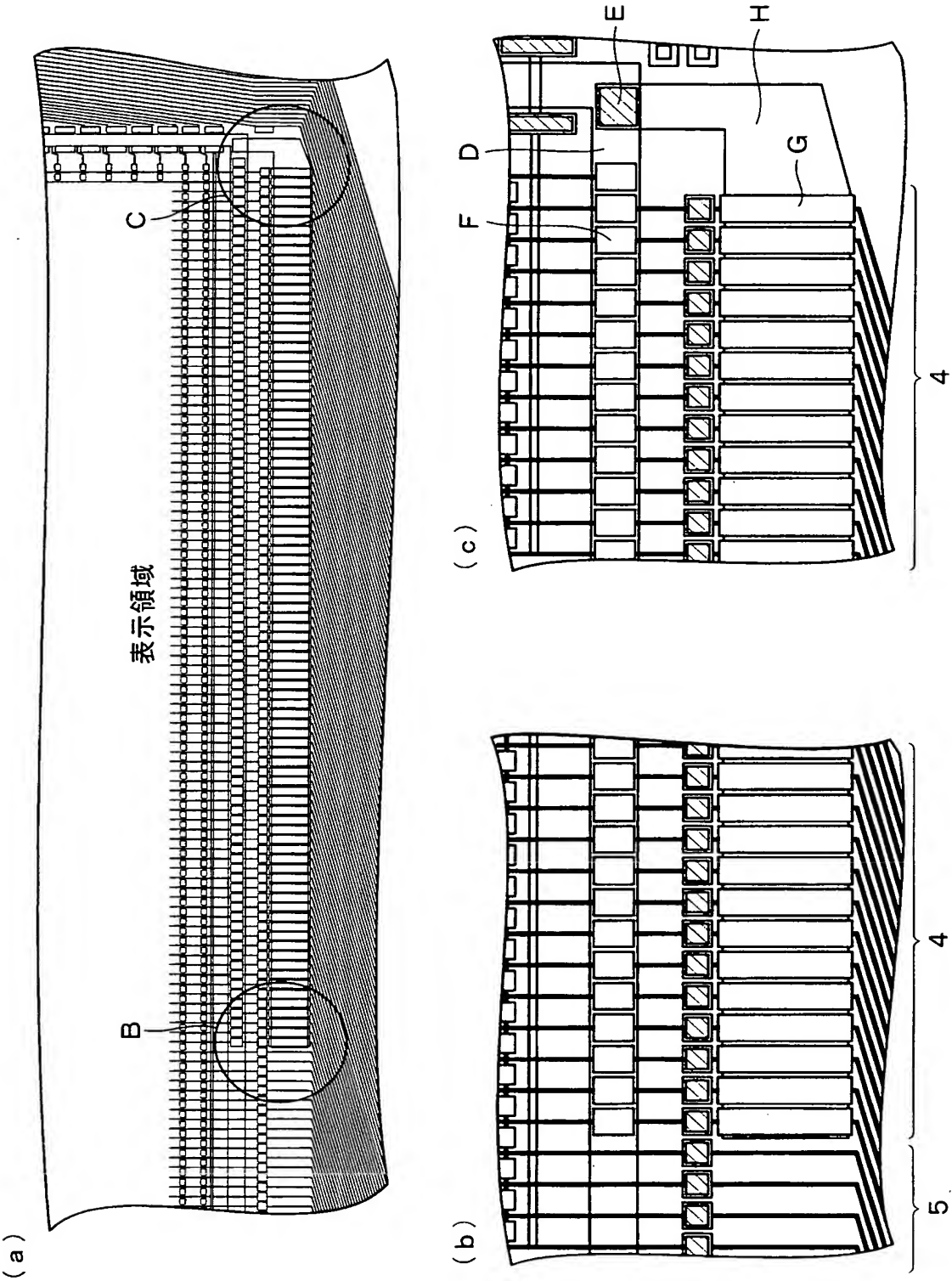
【図 22】



【図 23】

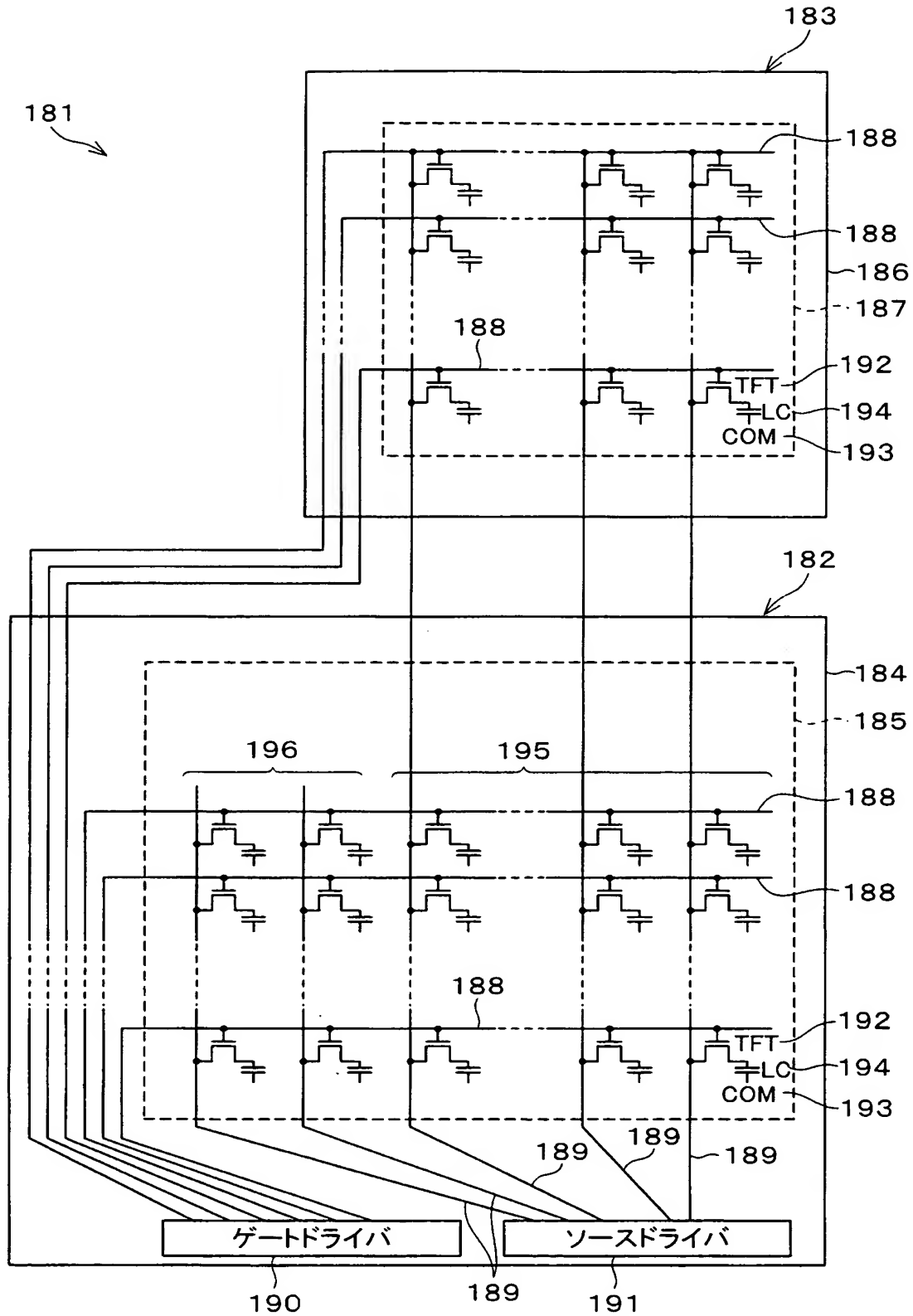


【図 24】





【図 25】



【書類名】 要約書

【要約】

【課題】 複数の表示パネルを備える表示装置において、ブロック分かれなどの表示不良の発生を防止する。

【解決手段】 本発明の表示装置 1 は、複数のソースバスライン 4・5 と、複数のゲートバスライン 9 とが格子状に配置され、上記複数のソースバスライン 4・5 と上記複数のゲートバスライン 9 との交差部近傍に複数の T F T が配置され、この T F T を介して上記ソースバスライン及びゲートバスラインのそれぞれに電氣的に接続された画素電極を備えたアクティブマトリクス基板 7・8 をそれぞれ有する 2 つの表示パネル 2・3 を備える。そして、上記ソースバスライン 4・5 のうち、ソースバスライン 5 は、2 つのアクティブマトリクス基板 7・8 によって共有されている。一方、アクティブマトリクス基板 7 のみに配置されているソースバスライン 4 には、容量 6 a・6 b が付加されている。

【選択図】 図 1

特願 2 0 0 2 - 3 4 1 5 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社